

ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА, ИНФОРМАЦИОННЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ

УДК 621.3.049.771.14

С.В. Гаврилов, Г.А. Иванова

АНАЛИЗ БЫСТРОДЕЙСТВИЯ СЛОЖНЫХ ЦИФРОВЫХ СХЕМ С УЧЕТОМ НЕОПРЕДЕЛЕННОСТИ ТЕХНОЛОГИЧЕСКИХ И СХЕМНЫХ ПАРАМЕТРОВ

Решаются проблемы учета неопределенности технологических и схемных параметров при анализе быстродействия сложных цифровых схем. Предлагается методика учета неопределенности технологических и схемных параметров элементов на основе интервального моделирования, обеспечивающая упорядочение событий в пространстве от первичных входов к первичным выходам, в отличие от традиционного анализа быстродействия на основе моделирования тестовых последовательностей с упорядочением событий во времени. Предлагается метод, обеспечивающий существенное повышение точности анализа задержек с учетом одновременного переключения нескольких входов вентиля.

Ключевые слова: SP-граф, сложно-функциональный блок (СФ-блок), логико-временной анализ, статический временной анализ.

Введение. При переходе на технологические нормы с минимальными размерами транзисторов в нанометровом диапазоне возрастает неопределенность технологических и схемных параметров, что приводит к возрастанию разброса значений задержек комбинационных схем. Так как при проектировании библиотек логических элементов факторы, влияющие на задержки элементов, изначально неизвестны, а известны лишь приблизительные границы изменения этих факторов, то модель задержек должна быть представлена не в виде числа, а в виде интервала значений в заданных пределах их возможного изменения.

Для повышения точности оценки задержек возможно использование методов схемотехнического моделирования на предельно низком транзисторном уровне при моделировании всего проекта, однако такой подход не применяется из-за большой размерности задачи.

Для оценки верхней границы значений задержек широко используются методы статистического временного анализа (СВА) [1], на основе поиска критических путей (PrimeTime фирмы Synopsys и STE Encounter фирмы Cadence). Они обеспечивают полноту и надежность анализа

быстродействия, но не гарантируют достоверности результата. В данных методах не учитывается логика работы схемы, что приводит к излишне пессимистичным результатам.

Существует ряд задач моделирования цифровых схем, при решении которых необходимо нахождение как максимальной, так и минимальной задержки. Одна из наиболее распространенных задач, где требуется знание минимальной задержки, это контроль кратчайших путей на соответствие времени удержания триггера (hold). Важную роль минимальная задержка играет также в анализе максимального тока питания [2-4], при анализе помехоустойчивости [5-7], на этапе характеристики сложно-функциональных блоков и др. [8-10].

Попытки совмещения двух противоположных подходов привели к появлению гибридных методов смешанного логико-электрического моделирования. Недостатками этих методов является то, что для обеспечения необходимой точности нужно проводить полное моделирование возможных вариантов входных последовательностей, количество которых увеличивается экспоненциально с ростом числа входов.

Целью данной работы является разработка

методики интервального анализа быстродействия СФ-блоков с учетом неопределенности технологических и схемных параметров. В предлагаемой методике используется анализ логически совместимых путей, что позволяет совместить высокую точность моделирования тестовых последовательностей с высокой скоростью алгоритма анализа критических путей.

Прообразы предлагаемого подхода. Из-за представления задержки в виде интервала классические методы нахождения и распространения задержки становятся непригодными, и необходимо прибегнуть к методам классического интервального анализа. Классический интервальный анализ известен как раздел математики, в котором вместо обычной арифметики применяется интервальная арифметика с интервалами вещественных чисел для решения задач с интервальными неопределенностями [10].

В данной работе интервальный анализ используется в двух аспектах: для работы с вещественными интервалами задержек и с булевыми интервалами входных векторов. Использование понятия “интервал” применительно к булевым переменным, булевым векторам и к булевым функциям возможно, поскольку из теории булевой алгебры известно [11], что отношение импликации $(x \Rightarrow y) \equiv ((x \& \bar{y}) = 0)$ удовлетворяет всем требованиям отношения частичного порядка, а именно – рефлексивности, антисимметричности и транзитивности. Данное правило распространяется и на многозначную булеву алгебру с числом элементов, отличным от 2-х, а в двузначной алгебре логики соответствует обычному порядку $(0 \leq 1)$. Поэтому можно использовать отношение в форме неравенства $(x \leq y) \equiv ((x \& \bar{y}) = 0)$.

Совместное рассмотрение булевых интервалов переключений и соответствующих им вещественных интервалов задержек позволяет сократить рост неопределенности задержек, который возникает при переходе от числового представления задержек к интервальному. Учет логической совместимости интервалов задержек на выходах вентиля позволяет сократить рост неопределенности интервалов задержек по сравнению с известными методами статического временного анализа, а отсеив ложных путей повышает достоверность результатов.

Известны работы, в которых для учета логики при анализе критических путей используется метод поиска истинных путей на основе так называемых характеристических функций во времени или TCF (Timed Characteristic Function) [12].

TCF-функция находит множество входных векторов, для которых задержка превышает заданное ограничение по времени:

$$TCF(y = v, t_0+) = \{ \bar{x} : \forall t > t_0, y(\bar{x}, t) = v \}.$$

Для нахождения входных воздействий при заданных ограничениях на задержку применяется сочетание генератора TCF-функций и метода анализа логической совместимости входного вектора и самой схемы (SAT-анализ). Применяя итерации для различных ограничений на задержку, данный подход можно использовать для нахождения истинного критического пути и соответствующего ему входного вектора.

В данной работе вместо характеристической функции с односторонним ограничением на задержку предложена характеристическая функция интервала. Предложенная функция служит для определения множества входных векторов, для которых задержка попадает в интервал $[a, b]$, при этом в отличие от TCF-подхода для определения границ интервалов не требуются итераций.

Предложен аппарат распространения характеристических функций вдоль схемы, его отличительной особенностью является встроенный анализ логической совместимости, для которого в отличие от TCF-подхода не требуется применения SAT-анализа. Предлагаемый аппарат позволяет проводить анализ логической совместимости всех путей от заданного входного переключения, не только критических, что необходимо при решении ряда задач, где наряду с максимальной задержкой требуется нахождение и минимальной задержки.

SP-граф и задержки распространения сигналов. В данной работе для описания логики переключений узлов комбинационной схемы используется четырехзначная булева алгебра:

$$A_4 = (B_4 = B_2 \times B_2, < + >, < * >, < \neg >, < 0 >, < 1 >),$$

где $B_2 = \{0, 1\}$ – множество традиционных булевых статических состояний, а операции конъюнкции, дизъюнкции и отрицания ($< * >$, $< + >$, $< \neg >$) определены не терминах двузначной, а в терминах четырехзначной булевой алгебры. При этом переменные принимают пары значений $(0,0)$, $(0,1)$, $(1,0)$, $(1,1)$. Другими словами, множество значений переменных или состояний узлов схемы состоит из упорядоченных пар булевских значений $B_4 = \{(x_0, x_1) : x_0 \in B_2, x_1 \in B_2\}$, которые обозначают логические величины в начале и в конце переключения соответственно. Для спецификации состояний и направлений переключений сигналов можно использовать следующий алфавит:

$$B_4 = \{L, R, F, H\},$$

где $L = \langle 0 \rangle = (0,0)$ – соответствует статическому состоянию '0' в начале и в конце переключения (low), $R = (0,1)$ – соответствует переключению из '0' в '1' (rise), $F = (1,0)$ – соответствует переключению из '1' в '0' (fall), $H = \langle 1 \rangle = (1,1)$ – соответствует статическому состоянию '1' в начале и в конце переключения (high).

Для того чтобы произвести вычисление в четырехзначной алгебре, необходимо вычислить бинарные значения начала и конца переключения с использованием поразрядных операций двузначной логики:

$$(a,b) \langle + \rangle (c,d) = (a \vee c, b \vee d),$$

$$(a,b) \langle * \rangle (c,d) = (a \& c, b \& d),$$

$$\langle \neg \rangle (a,b) = (\neg a, \neg b).$$

Для приведения схемы к виду, удобному для расчетов, необходимо из описания на транзисторном уровне экстрагировать логические функции в форме ориентированного ациклического графа (SP-DAG [13]).

При экстракции логической функции для построения SP-графа для цепи pull-down используются следующие правила: параллельное соединение двухполюсников соответствует операции $\langle + \rangle$, последовательное соединение соответствует операции $\langle * \rangle$, выход вентиля, который согласно логике работы стандартного КМОП-вентиля обеспечивает инверсию сигнала, соответствует операции отрицания $\langle \neg \rangle$.

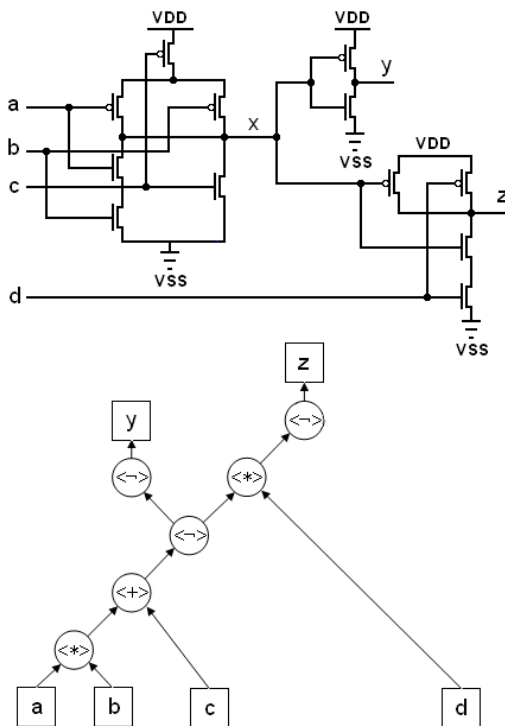


Рисунок 1 – КМОП-схема и соответствующий SP-граф

Для сопоставления узлов схемы, вершин SP-графа $G = (Z, E)$, $E \subset Z \times Z$ и системы логических уравнений будут использоваться следующие обозначения:

$P = \{\{p_i\}, p_i \in Z, i=1, \dots, n\}$ – подмножество первичных входов, n – количество первичных входов;

$\vec{V} = \{v_1, \dots, v_n \mid v_i \in B_4, \vec{V} \in B_4^n$ – входной вектор, содержащий логические значения на первичных входах;

$s(z, \vec{V})$ – значение функции логического моделирования $s: Z \times B_4^n \rightarrow B_4$, которое определяет логическое состояние узла $z \in Z$ для заданного входного вектора в терминах четырехзначной логики, так и для первичных входов $s(p_i, \vec{V}) = v_i$.

При анализе быстродействия известны задержки $t(p_i), p_i \in P$ на первичных входах и задержки $d(x, y)$ для дуг SP-графа ($x \in Z, y \in Z, (x, y) \in E$). Основная цель анализа быстродействия комбинационной схемы заключается в расчете времени прибытия сигнала $t(z)$ в каждый из узлов схемы ($z \in Z$). Список известных значений $\{d(i, j)\} \cup \{t(p_i)\}$ можно рассматривать как вектор входных параметров \vec{d} размерности $|E| + n$.

Значение задержки $t(z)$ в любом переключаемом узле z комбинационной КМОП-схемы можно рассчитать как функцию параметров \vec{d} и пары входных векторов переключений:

$$t(z) = f(z, \vec{d}, \vec{V}_i),$$

где $\vec{V}_i = (\vec{v}_i, \vec{v}_{i+1}), \vec{v}_i \in B_2^n, \vec{V}_i \in B_4^n$.

Функция $f(z, \vec{d}, \vec{V})$ может быть вычислена рекуррентно по SP-графу с использованием операций $+$ (переключение независимых входов), min (одновременное переключение контролируемых входов), max (одновременное переключение неконтролируемых входов), перечисленные операции проводятся над задержками отдельных дуг SP-графа (по аналогии с [12]), например, для выхода вентиля $z = \langle \neg \rangle x$:

$$f(z, \vec{d}, \vec{V}) = f(x, \vec{d}, \vec{V}) + d(x, z).$$

При представлении задержки не в виде числа, а в виде интервала возможных значений ($d(i, j) \in [d_{min}(i, j), d_{max}(i, j)]$) задача нахождения интервалов возможных моментов переключения узлов схемы ($t(z) \in [t_{min}(z), t_{max}(z)]$) сводится к оцениванию области значений функции $f(z, \vec{d}, \vec{V})$.

При моделировании СФ-блоков для обеспечения надежности работы необходим перебор

всех возможных комбинаций входных переключений, однако с ростом числа входов сложность задачи растет экспоненциально.

Метод статистического временного анализа в отличие от моделирования входных последовательностей находит критические пути (максимальный и минимальный), но не учитывает логику работы схемы, что приводит к завышенным оценкам интервалов задержек $[t_{\min}(z), t_{\max}(z)]$.

Постановка задачи моделирования и метод распространения интервалов вдоль схемы. Расчет значения задержки в узле комбинационной схемы при переключении одного или нескольких первичных входов и различных комбинациях фиксированных состояний на остальных входах является распространенной задачей в логико-временном моделировании. При этом по состояниям на входах после переключения можно однозначно определить состояния до переключения.

В случае переключения первого выхода из 1 в 0 при статическом состоянии на остальных входах входной вектор можно задать в виде ограничения:

$$\vec{V} = |x_1, \dots, x_n|, x_1 = F, x_i \in \{H, L\}, i = 2, \dots, n,$$

Количество входных векторов S_V , удовлетворяющих данному ограничению, равно 2^{n-1} , поэтому моделирование всех возможных случаев при большом числе входов невозможно.

Задача состоит в нахождении для переключения $s_I \in \{R, F\}$ узла $z \in Z$ множества непересекающихся временных интервалов $I(z, s_I) = \bigcup_i I_i(z, s_I)$, $I_i(z, s_I) = [l_i, r_i]$ минимального суммарного размера $G = \sum_i (r_i - l_i)$, которые удовлетворяют условию:

$$\forall \vec{V} \in S_V : (s(z, \vec{V}) = s_I) \Rightarrow (f(z, \vec{d}, \vec{V}) \in I(z, s_I)).$$

Таким образом, при переключении $s(z, \vec{V}) = s_I$ задержка попадает в один из интервалов $I_i(z, s_I)$. Задача нахождения абсолютного минимума G является NP-трудной, поэтому решение данной задачи можно рассматривать лишь как критерий качества при сравнении различных эвристических алгоритмов.

Рассмотрим интервалы задержек для различных интервалов входных векторов. Пусть $\vec{V} = (\vec{u}, \vec{v})$, $\vec{u} \in B_2^n$, $\vec{v} \in B_2^n$, $\vec{V} \in B_4^n$. В рамках решаемой задачи $\vec{V} = (\vec{u}, \vec{v}) = (\lambda(\vec{v}), \vec{v})$, где $\lambda(\vec{v}) = | -v_1, v_2, \dots, v_n |$ – векторная функция, используемая для определения значений входов до переключения по значениям после переключения. Для описания интервалов возможных пере-

ключений первичных входов будут использоваться векторные обозначения:

$$\vec{v} \in [\vec{v}_a, \vec{v}_b] \Leftrightarrow \vec{v}_a \leq \vec{v} \leq \vec{v}_b,$$

где $\vec{v}_a = |a_1, \dots, a_n|$, $\vec{v}_b = |b_1, \dots, b_n|$ – соответственно нижняя и верхняя границы интервала, в соответствии с трактовкой отношения частичного порядка в булевой алгебре (см. п. SP-граф и задержки распространения сигналов) для каждого из n первичных входов должны соблюдаться попарные неравенства:

$$a_i \leq v_i \leq b_i \quad \forall i \in \{1, \dots, n\}.$$

Для анализа логической совместимости путей распространения сигналов используется логико-временной интервал, который представляет собой объединение вещественных временных интервалов с соответствующими типом переключения и интервалами входных векторов в следующей форме:

$$L_j(z) = (s_j, [t_{\min}, t_{\max}], [\vec{v}_a, \vec{v}_b]),$$

где $s_j \in B_4$ – это тип состояния или переключения в терминах четырехзначной логики, $[t_{\min}, t_{\max}]$ – интервал неопределенности значений задержки, а $[\vec{v}_a, \vec{v}_b]$ – соответствующий таким задержкам интервал значений входного вектора.

Например, при $s_1 = F$ для переключаемого входа исходный рабочий список состоит из одного элемента:

$$L_1(p_1) = (F, [t_{\min}^1, t_{\max}^1], [|0, 0, \dots, 0| |0, 1, \dots, 1|]),$$

где $[t_{\min}^1, t_{\max}^1]$ – интервал известных значений задержки на переключаемом входе. В общем случае к одному узлу может относиться несколько интервалов одного типа.

Для распространения интервалов переключений необходимо для каждой пары интервалов на входах получить новые интервалы на выходах $y = x_1 < + > x_2$; $z = x_1 < * > x_2$. Пусть

$$L_1(x_1) = (s_1, [l_1, r_1], [\vec{a}_1, \vec{b}_1]),$$

$$L_2(x_2) = (s_2, [l_2, r_2], [\vec{a}_2, \vec{b}_2]),$$

тогда для формирования булева интервала для y и z необходимо проверить логическую совместимость входных интервалов. Логическая совместимость входных интервалов возможна лишь в области их пересечения, поэтому для формирования булевых интервалов для y и z используются следующие правила:

$$[\vec{a}_1, \vec{b}_1] \cap [\vec{a}_2, \vec{b}_2] = [\vec{a}_1 \vee \vec{a}_2, \vec{b}_1 \& \vec{b}_2].$$

Существует ситуация, при которой пересе-

чение булевых интервалов может оказаться пустым, что свидетельствует об обнаружении ложного пути:

$$(\bar{a}_1 \& \bar{a}_2 \& \neg(\bar{b}_1 \vee \bar{b}_2)).$$

При распространении интервалов вдоль схем, несмотря на отсеивание ложных интервалов, для каждой пары входных интервалов происходит формирование интервалов на выходах бинарных операций, что приводит к их экспоненциальному росту. Ограничение максимального количества интервалов каждого типа предельным значением I_{MAX} , с помощью объединения “близких” интервалов (по аналогии с методом для границ интервалов задержек) позволяет сократить рост количества интервалов:

$$[\bar{a}_1, \bar{b}_1] \cup [\bar{a}_2, \bar{b}_2] \subseteq [\bar{a}_1 \& \bar{a}_2, \bar{b}_1 \vee \bar{b}_2].$$

С помощью задания предельного значения I_{MAX} можно управлять количеством интервалов и соответственно точностью расчета. Так, при $I_{MAX} = 1$ результат моделирования будет соответствовать результатам статического временного анализа, а при $I_{MAX} = \infty$ проводится полное моделирование всех возможных интервалов.

При объединении интервалов может возникнуть ситуация попадания в объединенный интервал булевых векторов переключений, не соответствующих типу и задержкам элемента. Следующий раздел посвящен решению этой проблемы.

Аппарат характеристических функций интервалов. Для более детального учета логики работы схемы при распространении интервалов вдоль схем предлагается использовать аппарат BDD [13]. Оценка совместимости входных интервалов производится на основе аппарата частично-определенных булевых функций с использованием векторных границ интервалов. Полнота анализа логической совместимости обеспечивается только при использовании операций пересечения.

Для учета логики при распространении интервалов задержки вводится понятие характеристической функции интервала. Пусть задана тройка $L_j(z) = (s_j, [t_{\min}, t_{\max}], [\bar{v}_a, \bar{v}_b])$ для узла z и некоторых значений состояния, интервала задержек и векторного интервала булевых значений на первичных входах. Определим характеристическую функцию $\varphi\{\bar{v}_a, \bar{v}_b\}$ как булеву функцию $\varphi\{\bar{v}_a, \bar{v}_b\}: B_2^n \rightarrow B_2$, аргументами которой являются значения на первичных входах после переключения. Значение характеристической функции равно 1 в том и только в том слу-

чае, когда входной вектор $\bar{V} = (\bar{u}, \bar{v}) = (\lambda(\bar{v}), \bar{v})$ приводит к переключению соответствующего типа s в заданном интервале задержек $[t_{\min}, t_{\max}]$:

$$\begin{aligned} & \varphi\{\bar{v}_a, \bar{v}_b\}(\bar{v}) = \\ & = (s(z, \bar{V}) = s_j) \& (f(z, \bar{d}, \bar{V}) \in [t_{\min}, t_{\max}]). \end{aligned}$$

Для построения характеристической функции нового интервала при выполнении операций пересечения и объединения входных интервалов возможно использование аппарата BDD, при этом операции пересечения характеристических функций входных интервалов соответствует конъюнкция, а операции объединения – дизъюнкция:

$$\begin{aligned} \varphi\{\bar{a}_1, \bar{b}_1\} \cap \varphi\{\bar{a}_2, \bar{b}_2\} &= \varphi\{\bar{a}_1, \bar{b}_1\} \& \varphi\{\bar{a}_2, \bar{b}_2\}, \\ \varphi\{\bar{a}_1, \bar{b}_1\} \cup \varphi\{\bar{a}_2, \bar{b}_2\} &= \varphi\{\bar{a}_1, \bar{b}_1\} \vee \varphi\{\bar{a}_2, \bar{b}_2\}. \end{aligned}$$

Применение аппарата BDD позволяет отсеивать ложные пути, так как тождество с логическим нулем является условием логического конфликта:

$$\varphi\{\bar{a}_1, \bar{b}_1\} \cap \varphi\{\bar{a}_2, \bar{b}_2\} \equiv 0.$$

Предлагаемая модель задержки для учета одновременного переключения входов. В статистическом временном анализе рассматриваются только переключения одного входа логического элемента при фиксированных состояниях на остальных входах, однако при одновременном контролирующем переключении нескольких входов за счет активации нескольких путей проводимости тока/заряда значение задержки элемента существенно уменьшается [14]. Из этого следует, что для повышения точности расчета минимальной границы интервала задержки необходимо учитывать задержку одновременного переключения входов библиотечного элемента. Однако точный анализ одновременного переключения входов требует перехода от двумерных таблиц типа NLDM (Non-Linear Delay Model) к четырех - пятимерным для учета фронтов всех переключаемых входов [9,14]. Для уменьшения размерности задачи предлагается применять кубическую аппроксимацию задержки общего вида:

$$\begin{aligned} D_{\min} &= c_1 x^3 + c_2 y^3 + c_3 x^2 y + c_4 x y^2 + c_5 x^2 + \\ &+ c_6 y^2 + c_7 x y + c_8 x + c_9 y + c_{10}, \end{aligned} \quad (1)$$

где $x = S_x$, $y = S_y$ – длительность переключения входов, c_i – коэффициенты аппроксимации. Для нахождения коэффициентов используется метод наименьших квадратов.

Для повышения точности оценок минимальных задержек результаты моделирования без

учета одновременного переключения входов сравнивались с результатами моделирования с учетом одновременного переключения. Разницу между этими двумя зависимостями, можно найти по формуле:

$$\Delta_D = \min(D_1, D_2) - D_{\min},$$

где D_1, D_2 – задержки переключения входных сигналов x и y соответственно, Δ_D – коррекционная разница между задержкой элемента без учета и с учетом одновременного переключения входов.

Применение кубической аппроксимации коррекционной разницы Δ_D позволяет повысить точность расчета минимальной задержки, которую можно найти по формуле:

$$D_{\min} = \min(D_1, D_2) - \Delta_D.$$

Моделирование сложных элементов на основе анализа последовательно-параллельной структуры. Минимум задержки элемента достигается при одновременных контролируемых переключениях на входах логического элемента, например для элемента `pand2` контролирующим является переключение из 1 в 0, задержка такого переключения меньше, так как одновременно открываются два параллельно соединенных транзистора. В случае сложного элемента для нахождения минимальной задержки необходим учет его последовательно-параллельной структуры.

Рассмотрим нахождение минимальной задержки на примере элемента `pand2`, так, при одновременном открытии параллельно соединенных транзисторов (`pull-up` цепочка) задержка находится по формуле: $D_{\min} = \min(D_a, D_b) - \Delta_D$. В остальных случаях минимальная задержка находится по классической формуле: $D_{\min} = \min(D_a, D_b)$ (рисунок 2).

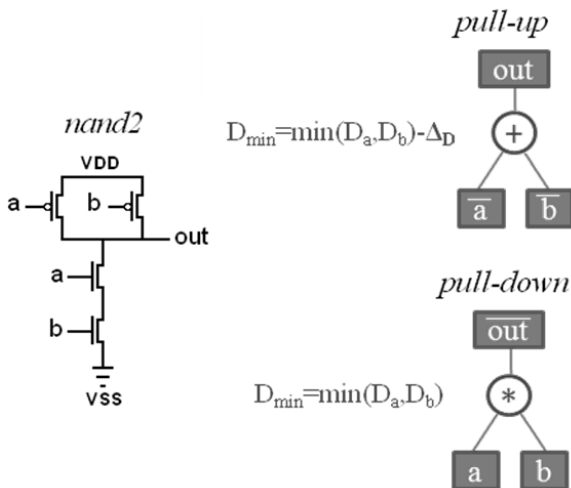


Рисунок 2 – SP-DAG графы для pull-up и pull-down цепи элемента `pand2`

Для нахождения минимальной задержки сложных элементов необходим анализ последовательно-параллельной структуры. Например, для элемента `aoi21` нахождение минимальной задержки идет по SP-DAG графу pull-up и pull-down цепи снизу вверх. Для pull-up цепи элемента (рисунок 3) находится задержка одновременного переключения входов a и b : $D_{\min}(a,b) = \min(D_a, D_b) - \Delta_D$, затем полученная задержка сравнивается с задержкой переключения входа c : $D_{\min} = \min(D_{\min}(a,b), D_c)$.

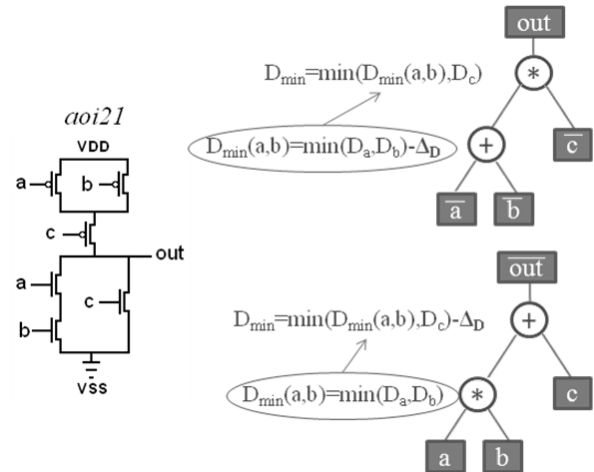


Рисунок 3 – SP-DAG графы для pull-up и pull-down цепи элемента `aoi21`

Результаты численных экспериментов.

Численные эксперименты проводились для схем из набора ISCAS-85 [15]. Результаты работы предложенных алгоритмов сравнивались с результатами статического временного анализа. Сравнение проводилось по следующим параметрам: среднее и максимальное уменьшение максимальной задержки, среднее и максимальное увеличение минимальной задержки, а также уменьшение числа ложных путей.

На основе результатов численных экспериментов показано, что применение предложенных подходов позволяет сократить число ложных путей до 35 %. По сравнению с результатами статического временного анализа происходит среднее сокращение временных интервалов на 7 % для максимальной границы и на 5 % для минимальной границы. При этом для некоторых схем из набора сокращение верхней границы интервала задержки достигает 90 %, а нижняя граница увеличивается почти в 2 раза.

Заключение. В данной работе предложен метод анализа быстродействия СФ-блоков, обеспечивающий повышение точности анализа минимальных и максимальных задержек на логическом уровне. Предложен алгоритм распространения характеристических функций вдоль

схемы с анализом логической совместимости интервалов. Данный метод позволяет сократить число ложных путей и повысить точность оценки задержки в сравнении со статическим временным анализом. Для повышения точности интервальных оценок минимальных задержек предложен метод учета одновременного переключения входов логического элемента.

Работа выполнена при поддержке РФФИ (проект № 15-07-01778).

Библиографический список

1. Robert B. Hitchcock Sr. Timing Verification and the Timing Analysis program // Proceedings of the 19th conference on Design automation, January 1982. P. 594-604.
2. Гаврилов С.В., Рыжова Д.И. Метод оценки пикового тока на логическом уровне с учетом одновременного переключения входов // VI Всероссийская научно-техническая конференция “Проблемы разработки перспективных микро- и наноэлектронных систем – 2014”: сб. научн. тр. / под общей ред. А.Л. Стемповского. М.: ИППМ РАН, 2014. С. 37-42.
3. Гаврилов С.В., Рыжова Д.И., Стемповский А.Л. Методы повышения точности оценки пикового тока на логическом уровне на основе анализа логических корреляций // Известия ЮФУ. Технические науки. 2014. № 7. С. 66-75.
4. Гаврилов С.В., Рыжова Д.И., Стемповский А.Л. Проблема анализа пикового тока при проектировании сверхбольших интегральных схем на логическом уровне и современные методы ее решения // Информационные технологии. 2014. № 6. С. 58-63.
5. Glebov A., Gavrilov S., Blaauw D. et al., False noise analysis using resolution method // ISQED 2002. P. 437-442.
6. Гаврилов С.В., Глебов А.Л., Стемповский А.Л. Методы логического и логико-временного анализа цифровых КМОП СБИС. М.: Наука, 2007. 220 с.
7. Гаврилов С.В. Методы анализа логических корреляций для САПР цифровых КМОП СБИС. – М.: Техносфера, 2011. 136 с.
8. Gavrilov S.V., Gudkova O.N., Stempkovskiy A.L. The Analysis of the Performance of Nanometer IP-blocks Based on Interval Simulation. // Russian Microelectronics. 2013. Vol. 42. N7. P. 396-402.
9. Гаврилов С.В., Пирютина Г.А., Щелоков А.Н. Метод интервальных оценок задержек и выходных фронтов библиотечных элементов нанометровых КМОП-схем // Известия ЮФУ. Технические науки. 2012. № 7 (132). С. 70-76.
10. Шарый С.П. Конечномерный интервальный анализ. – Институт вычислительных технологий СО РАН, 2010. 602 с.
11. Brown F.M. Boolean reasoning. The logic of Boolean equations // Boston; Dordrecht; London: Kluwer Academic Publishers, 1990. 273 p.
12. Kuo Y. M., Chang Y. L., and Chang S. C., Efficient Boolean Characteristic Function for Fast Timed ATPG // in Proc. International Conference on Computer-Aided Design. 2006. P. 96 – 99.
13. Bryant R.E., Graph-Based Algorithms for Boolean Function Manipulation // IEEE Transactions on Computers. 1986. vol. 35. № 8. P. 677 – 691.
14. Гаврилов С.В., Гудкова О.Н., Пирютина Г.А. Метод анализа быстродействия вентиля с учетом одновременного переключения входов // V Всероссийская научно-техническая конференция “Проблемы разработки перспективных микро- и наноэлектронных систем – 2012”: сб. научн. тр. / под общей ред. А.Л. Стемповского. М.: ИППМ РАН, 2012. С. 119-124.
15. Brglez F. and Fujiwara H., A neutral netlist of 10 combinatorial benchmark circuits and a target translator in FORTRAN // In Proc. IEEE Int. Syrup. Circuits and Systems, June 1985. P. 663-698.