

УДК 681.32

## УНИВЕРСАЛЬНЫЙ ЛОГИЧЕСКИЙ ЭЛЕМЕНТ ДЛЯ САМОСИНХРОННОЙ СХЕМЫ

**С. Ф. Тюрин**, д.т.н., профессор кафедры «Автоматика и телемеханика» ПНИПУ, Заслуженный изобретатель РФ; tyurinsergfe@rambler.ru

**А. Ю. Скорнякова**, аспирант кафедры «Автоматика и телемеханика» ПНИПУ; juris-plot@mail.ru

*Рассматривается задача использования универсального логического элемента для проектирования самосинхронных схем. Предлагается вариант универсального логического элемента, настраиваемого константами на этапе производства базовых матричных кристаллов без использования оперативной памяти и матриц коммутации, с целью унификации логики и снижения сложности проектирования. Целью работы является реализация и исследование универсального (конфигурируемого) логического элемента для проектирования самосинхронных схем. Выполняется проектирование элемента Look Up Table for Self-timed Circuits (LUT-ST) в системе схемотехнического моделирования NI Multisim 10 фирмы National Instruments Electronics Workbench Group и подтверждение работоспособности технического решения. Описывается принцип получения самосинхронного элемента LUT-ST из элемента 1-LUT с инверторами по входам переменных. Выполняется моделирование этих элементов в рабочей фазе и фазе спейсера.*

**Ключевые слова:** КМОП транзистор, самосинхронные схемы, Look Up Table, рабочая фаза, фаза гашения, двойственный канал, инвертор, логический элемент.

**DOI:** 10.21667/1995-4565-2017-61-3-41-45

### Введение

Теоретические основы анализа и синтеза самосинхронных схем (ССС) сформировал выдающийся американский математик Д. Маллер в 50-е – 60-е годы XX века [1]. В отличие от синхронных и асинхронных, СССР обладают способностью фиксировать факт завершения переходного процесса. СССР используют парафазную дисциплину передачи переменных с двумя фазами функционирования: рабочей и гашения (фаза так называемого спейсера), причём вводится значительная избыточность, так как необходим двойственный канал самосинхронной схемы, индикаторы завершения переходных процессов и С-элементы Маллера (гистерезисные триггеры, Г-триггеры). В СССР направление СССР развивалось группой В. И. Варшавского [2, 3]. Один из ярких представителей этой группы – Алекс Яковлев в настоящее время активно работает в университете Нью-Касла (Великобритания) и развивает интересное направление на основе СССР – «Энергетически модулированные вычисления» (Energy-modulated computing) [4]. В России направление СССР активно развивается в институте проблем информатики (ИПИ РАН) Федерального исследовательского центра (ФИЦ) «Информатика и управление» Российской Академии Наук. Группой исследователей ИПИ РАН

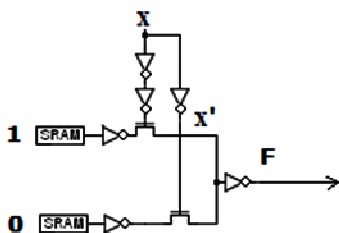
под руководством Степченкова Ю.А. разработана библиотека СС элементов[5], реализованных на основе базовых матричных кристаллов (БМК), которая позволяет строить СССР на базовых матричных кристаллах (БМК). Однако сложность проектирования СССР на основе специализированных логических элементов, на взгляд авторов, является сдерживающим фактором развития этого направления схемотехники. В то же время имеется устойчивое мнение, что СССР и программируемые логические интегральные схемы несовместимы. Предлагается компромиссный вариант универсального логического элемента СССР, настраиваемого константами на этапе производства БМК без использования оперативной памяти и матриц коммутации. На техническое решение получен патент РФ. Поэтому, помимо разработанных разнообразных специализированных элементов, целесообразно в существующую библиотеку включить конфигурируемые логические элементы, настраиваемые на реализацию заданной логической функции. Это позволит унифицировать логику и в ряде случаев упростить разработку проектов на БМК по аналогии с тем, как строится логика ПЛИС FPGA, содержащая так называемые LUT (Look Up Table) [6]. Наиболее распространённое число входов переменных – четыре, однако ак-

тивно разрабатываются адаптивные логические модули (например, фирмы Intel-Altera, Xilinx), в которых доступна опция выбора числа переменных LUT, там реализуются некоторые функции даже восьми переменных[7].

**Теоретическая часть**

Как было сказано выше, по мнению авторов, существует сложность в проектировании ССС на основе специализированных логических элементов из библиотеки, разработанной ИПИ РАН. Вместе с тем, ССС и ПЛИС не совместимы. Проблема заключается в том, что, как убеждено значительное число приверженцев парадигмы ССС, такие схемы не могут корректно конфигурироваться, подобно ПЛИС, можно получить только псевдо-ССС. Тем не менее, есть возможность использования однократно конфигурируемого в БМК LUT для ССС. В настоящее время направление синтеза комбинационной логики для ССС на основе универсальных, настраиваемых элементов исследовано недостаточно [8].

LUT [6] строится из элементарных мультиплексоров 2-1, которые имеют вид, представленный на рисунке 1.



**Рисунок 1 – Элемент 1-LUT с инверторами по входам переменных**

Инверторы по входам предназначены для восстановления логических уровней сигналов, прошедших глобальную и локальную матрицы коммутаций. Для этого же нужны инверторы по входам данных 0,1 и на выходе F. Данные при конфигурировании записываются в оперативную память SRAM. Таким образом, без учёта инверсий реализуется выражение:

$$F(X) = 0(X') \vee 1(X). \quad (1)$$

В выражении (1) X' – это инверсия переменной X.

Таблица истинности 1-LUT имеет следующий вид.

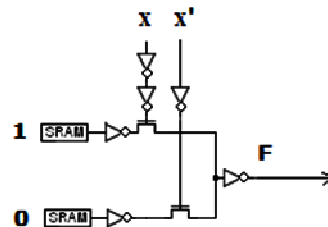
**Таблица истинности 1-LUT**

X	1	0	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1

**Продолжение таблицы**

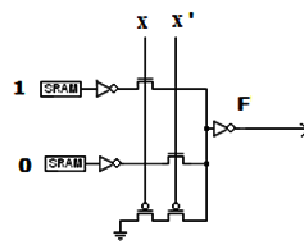
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

В ССС используются парафазные переменные, то есть передаются и X, и X' получим – рисунок 2.



**Рисунок 2 – Элемент 1-LUT с переменными X и X'**

В дальнейшем с целью упрощения схемы не будем показывать инверторы по входам переменных. Для реализации фазы гашения (спейсера) введем дополнительную ветвь дерева передающих транзисторов – рисунок 3.

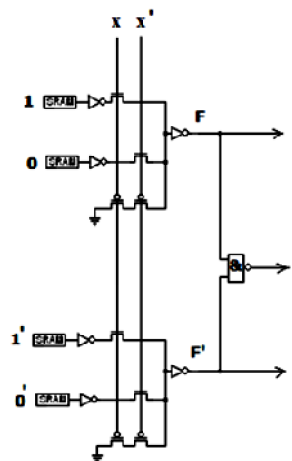


**Рисунок 3 – Элемент 1-LUT с ветвью реализации спейсера**

Таким образом, получаем выражение:

$$F(X) = 0(X') \vee 1(X) \vee (X' \vee X)'. \quad (2)$$

Вводим двойственный канал F' и индикатор на выходы каналов, получим 1-LUT-ST – рисунок 4.



**Рисунок 4 – Элемент 1-LUT-ST с двойственным каналом и индикатором**

Таким образом, получаем выражение:

$$\begin{aligned}
 F(X) &= 0(X') \vee 1(X) \vee (X' \vee X)'; \\
 F'(X) &= 0'(X') \vee 1'(X) \vee (X' \vee X)'; \\
 I &= (F \cdot F')'.
 \end{aligned}
 \quad (3)$$

Реализация 2-LUT-ST – изображена на рисунке 5.

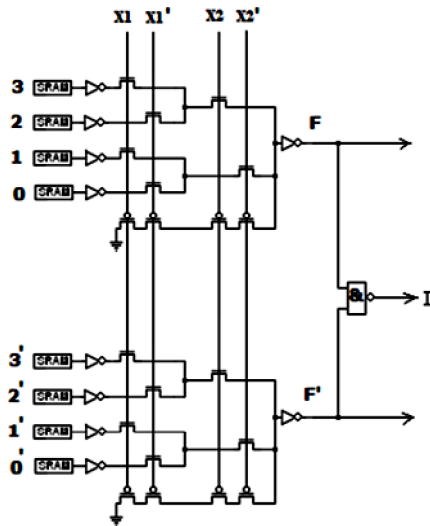


Рисунок 5 – Элемент 2-LUT-ST

Таким образом, получаем выражение:

$$\begin{aligned}
 F(X1, X2) &= 0[X2'X1'] \vee \\
 &1[X2'X1] \vee \\
 &2[X2X1'] \vee \\
 &3[X2X1] \vee \\
 &[X2 \vee X2' \vee X1 \vee X1']; \\
 F'(X1, X2) &= 0'[X2'X1'] \vee \\
 &1'[X2'X1] \vee \\
 &2'[X2X1'] \vee \\
 &3'[X2X1] \vee \\
 &[X2 \vee X2' \vee X1 \vee X1']; \\
 I &= (F \cdot F')'.
 \end{aligned}
 \quad (4)$$

**Экспериментальные исследования**

Выполним моделирование схемы, изображённой на рисунке 3 {выражение (2)} в системе схемотехнического моделирования NI Multisim 10 фирмы National Instruments Electronics Workbench Group (рисунки 6, 7).

Видим, что в рабочей фазе на выход F передаётся информация со входа D0. В фазе гашения (спейсера) сигналы X= X'=0 и на выходе F независимо от D0, D1 устанавливается 1 (рисунк 8).

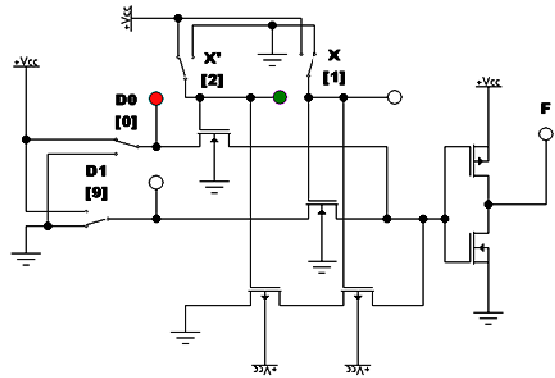


Рисунок 6 – Моделирование элемента 1-LUT в рабочей фазе, D0=1

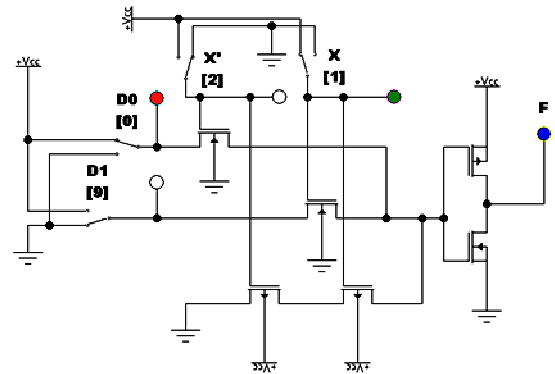


Рисунок 7 – Моделирование элемента 1-LUT в рабочей фазе, D0=0

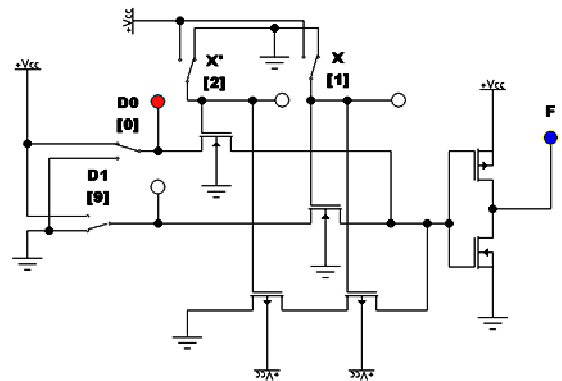
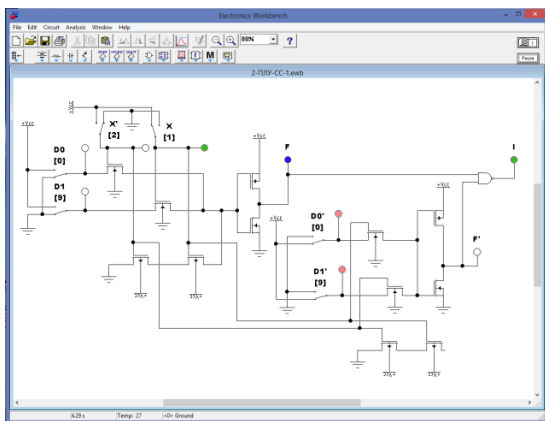


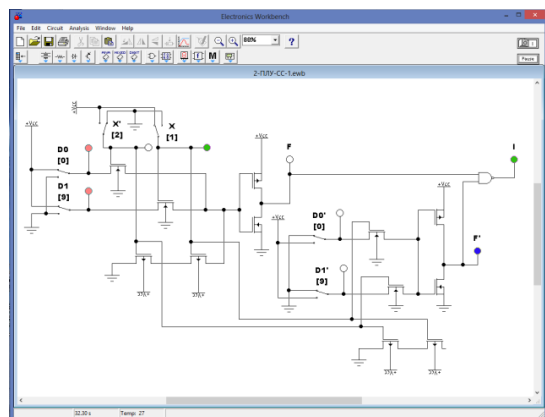
Рисунок 8 – Моделирование элемента 1-LUT в фазе спейсера

Введём двойственный канал и индикатор I-выражение (3), получим 1-LUT-ST. Функционирование 1-LUT-ST в рабочей фазе при: X=1; X'=0; D0=0; D1=0; F=1, D0'=1; D1'=0 F'=0, I=1 показывается рисунок 9.

Также выполним моделирование 1-LUT-ST при следующих состояниях: X=1; X'=0; D0=1; D1=1; F=0, D0'=0; D1'=0 F'=1, I=1. Результат изображен на рисунке 10.

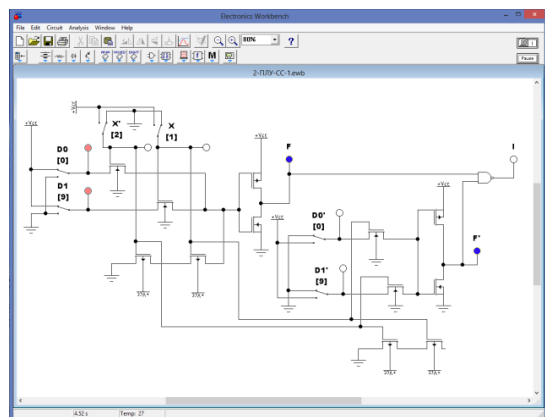


**Рисунок 9 – Моделирование элемента 1-LUT-ST в рабочей фазе,  $D0=0, D1=0$**



**Рисунок 10 – Моделирование элемента 1-LUT-ST в рабочей фазе,  $D0=1, D1=1$**

Аналогично убеждаемся, что и на остальных наборах выражение (3) реализуется правильно. Моделирование фазы спейсера также подтверждает работоспособность устройства – рисунок 11.



**Рисунок 11 – Моделирование элемента 1-LUT-ST в фазе спейсера**

### Заключение

В статье предложена модель универсального логического элемента для построения самосинхронных схем. Выполнено моделирование данного элемента в системе схемотехнического моделирования. При этом моделирование 1-LUT-

ST подтверждает работоспособность предложенного технического решения. На устройство получен патент РФ [9]. Ограничение на число транзисторов модели не позволяет выполнить анализ 2-LUT-ST. Целесообразно в дальнейшем выполнить такое моделирование с использованием программных продуктов ИПИ РАН, с которыми авторов связывает договор о научно-техническом сотрудничестве. В связи с этим необходимо провести и динамическое моделирование. Кроме того, необходимо рассмотреть вопрос проектирования LUT-ST более чем для 4-х переменных, так как имеется ограничение на число последовательно подключенных транзисторов [10]. Целесообразно также получить оценки сложности декомпозиции LUT-ST на устройства меньшей размерности.

### Библиографический список

1. Muller D. E., Bartky W. S. A theory of asynchronous circuits // Proc. Int Symp. On the Theory of Switching, Part 1. – Harvard University Press, 1959. – pp. 204-243.
2. Аперидические автоматы: под ред. В.И. Варшавского – М.: Наука, 1976. –304с.
3. Варшавский В. И., Мараховский В. Б., Розенблюм Л. Я., Яковлев А. В. Аперидическая схемотехника // в кн. Искусственный интеллект. т.3: Программные и аппаратные средства; под ред. В. Н. Захарова и В. Ф. Хорошевского. – / М.: Радио и связь, 1990.
4. Yakovlev A. Energy-modulated computing // Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011. – IEEE, 2011. – pp. 1-6.
5. Степченков Ю. А., Денисов А. Н., Дьяченко Ю. Г., Гринфельд Ф. И., Филимонок О. П., Морозов Н. В., Степченков Д. Ю. Библиотека элементов для проектирования самосинхронных полужазных микросхем серий 5503/5507 и 5508/5509 — М.: ИПИ РАН, 2014. – С.150-151.
6. Строгонов А., Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри [Электронный ресурс]. – URL: [http://www.kit-e.ru/articles/plis/2010\\_11\\_56.php](http://www.kit-e.ru/articles/plis/2010_11_56.php) (дата обращения: 16.12.2016).
7. Золотуха Р., Комолов Д. Stratix III – новое семейство FPGA фирмы Altera [Электронный ресурс]. – URL: [http://kit-e.ru/assets/files/pdf/2006\\_12\\_30.pdf](http://kit-e.ru/assets/files/pdf/2006_12_30.pdf) (дата обращения 28.11.2016).
8. Тюрин С. Ф. Программируемый логический элемент для самосинхронных схем // Вестник Воронежского государственного университета. Серия: Системный анализ и информационные технологии. 2016. № 3. С. 106-110.
9. Программируемое логическое устройство: пат. №2601145 Рос. Федерация: МПК G11C 17/00 / Тюрин С. Ф., Каменских А. Н., Плотникова А. Ю.; патентообладатель Перм. нац. исслед. политехн. ун-т. - №2015117840/08; заявл. 12.05.15; опубл. 27.10.16, Бюл. №30. – 8 с.: ил.
10. Ульман Дж. Д. Вычислительные аспекты СБИС: пер. с англ. А.В. Неймана / под ред. П.П. Пархоменко. – М.: Радио и связь, 1990. – 480 с.

UDC 681.32

## SELF-TIMED LOOK UP TABLE

**S. F. Tyurin**, Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telematics, Perm National Research Polytechnic University; tyurinsergfe@rambler.ru

**A. Yu. Skornyakova**, post-graduate student of the Perm National Research Polytechnic University, Department of Automation and Telematics; juris-plot@mail.ru.

*The problem of self-timed look up table use is studied. The version of look up table is proposed. The look up table is adjusted by constants at the constructing stage of uncommitted logic arrays without using RAM and switch fabrics in order to unify logic and reduce the design complexity. The purpose of this article is to design and research the look up table for development of self-timed circuits. Design of look up table for self-timed circuits (LUT-ST) is completed in NI Multisim 10 electronic schematic capture and simulation program by National Instruments Electronics Workbench Group. The program provides confirmation of technical solution efficiency. The article describes the principle of obtaining self-timed look up table from 1-LUTc element with inverters at input variables. A simulation of these elements is performed at the operational and spacer stages.*

**Key words:** CMOS transistor, self-timed circuits, look up table, operational stage, spacer stage, paraphase channel, inverter, logical element.

**DOI:** 10.21667/1995-4565-2017-61-3-41-45

### References

1. **Muller D. E., Bartky W. S.** A theory of asynchronous circuits // Proc. Int Symp. On the Theory of Switching, Part 1. – Harvard University Press, 1959. – pp. 204–243.
2. Aperiodicheskie avtomaty: (Aperiodic machines) Pod redaktsiyey **Varshavskogo V. I.** – M.: Nauka, 1976. – 304 p. (in Russian).
3. **Varshavskiy V. I., Marahovskiy V. B., Rozenblyum L. Ya. i Yakovlev A. V.** Aperiodicheskaya shemotekhnika, v kn. Iskusstvennyy intellekt, t.3: Programmnyye i apparatnyye sredstva. Pod red. V. N. Zaharova i V. F. Horoshevskogo. M.: Radio i svyaz, 1990. (in Russian).
4. **Yakovlev A.** Energy-modulated computing // Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011. IEEE, 2011. pp. 1-6.
5. **Stepchenkov Yu. A., Denisov A. N., D'yachenko Yu. G., Grinfel'd F. I., Filimonenko O. P., Morozov N. V., Stepchenkov D. Yu.** Biblioteka ehlementov dlya proektirovaniya samosinhronnyh poluzakaznykh mikroskhem serij 5503/5507 i 5508/5509 – Moscow: IPI RAN, 2014. —pp.150 - 151. (in Russian).
6. **Strogonov A., Tsybin S.** Programmiruemaia kommutatsiia PLIS: vzgliad iznutri. (in Russian). Available at: [http://www.kit-e.ru/articles/plis/2010\\_11\\_56.php](http://www.kit-e.ru/articles/plis/2010_11_56.php) (accessed 16.12.2016).
7. **Zolotukha R., Komolov D.** Stratix III – novoe semeistvo FPGA firmy Altera (in Russian). Available at: [http://kit-e.ru/assets/files/pdf/2006\\_12\\_30.pdf](http://kit-e.ru/assets/files/pdf/2006_12_30.pdf) (accessed 28.11.2016).
8. **Tyurin S. F.** Programmiruemyy logicheskij ehlement dlya samosinhronnyh skhem. Vestnik Voronezhskogo gosudarstvennogo universiteta. Seriya: Sistemnyy analiz i informacionnye tekhnologii. 2016. no. 3. pp. 106-110. (in Russian).
9. **Tyurin, S. F., Kamenskih, A. N., Plotnikova A. Yu.** Programmiruemoje logicheskoe ustrojstvo. Patent RF. no 2601145, 2016. (in Russian).
10. **Ul'man Dzh. D.** Vychislitel'nye aspekty SBIS. Per. s angl.: A.V. Neimana. Pod red. P.P. Parkhomenko, Moscow Radio i sviaz' Publ., 1990, 480 p. (in Russian).