

УДК 621.3.049.75

АЛГОРИТМ ПОВЫШЕНИЯ ТЕХНОЛОГИЧНОСТИ МНОГОСЛОЙНЫХ ПЕЧАТНЫХ ПЛАТ

И. В. Дрожжин, начальник отдела ПТК «Печатные платы», АО «ГРПЗ», г. Рязань; igordrozhzhin@gmail.com

Предлагается алгоритм повышения технологичности многослойных печатных плат за счет снижения плотности межсоединений. Целью работы является автоматизация процесса повышения технологичности изготовления печатных плат с высокой степенью интеграции топологического рисунка на этапе автоматизированного конструкторско-технологического проектирования путем перемещения переходных отверстий под микросхемой непосредственно под выводы микросхемы и технология изготовления многослойной печатной платы согласно приведенному способу. Результаты данной работы позволят получить технологические возможности для выполнения алгоритмов ретрассировки и разместить электрическую схему на печатной плате с меньшими габаритными размерами, использовать микросхемы BGA с меньшим шагом, снизить слоистость печатной платы, повысить надежность межсоединений, избежать замыканий при установке планарных микросхем и микросхем BGA.

Ключевые слова: печатная плата, плотность межсоединений, микросхема, переходное отверстие, контактная площадка, послойное наращивание, заращивание отверстий.

DOI: 10.21667/1995-4565-2016-57-3-75-81

Введение

Повышение технологичности изготавливаемой печатной платы является одной из основных задач на этапе конструкторско-технологического проектирования и подготовки производства печатных плат. Автоматизация этого процесса позволит получить ряд преимуществ: начиная от сокращения времени обработки проекта, снижения трудоемкости работы оператора, уменьшения риска возникновения ошибок из-за человеческого фактора до увеличения объемов выпуска годной продукции, повышения стабильности и надежности изделий электроники [1, 2].

Теоретические исследования

Растущие конструктивно-технологические требования к печатному монтажу особенно четко установились в области вычислительной техники и систем управления, поскольку увеличение производительности наряду с увеличением быстродействия элементной базы находится в непосредственной зависимости от возможностей сокращения длины связей между логическими элементами так называемой конструктивной задержки передаваемого сигнала. Достаточно сопоставить значение времени переключения логических элементов, не превышающее в современных ИС, СИС и БИС единиц наносекунд, с временем распространения сигнала в печатных

линиях связи, составляющем 6-7 нс/м, чтобы показать, что главной составляющей временных задержек в электронных устройствах современного и перспективного типов являются задержки сигналов в линиях связи. Отсюда следует, что повышение быстродействия логических элементов должно сопровождаться максимально возможным снижением задержек в межсоединениях, т.е. сокращением их длины. Это достигается повышением степени интеграции логических элементов, более плотной компоновкой микросхем на платах за счет увеличения плотности межсоединений и сокращения длин линий связи.

Существует четыре пути повышения степени интеграции топологического рисунка и монтажа компонентов на печатных платах для решения вопросов увеличения производительности выпускаемых изделий:

- уменьшение размера отверстий и контактных площадок, чтобы высвободить пространство для трассировки проводников;
- увеличение количества трасс между отверстиями за счет уменьшения ширины проводников и зазоров;
- увеличение количества слоев;
- введение многоуровневых межсоединений: отказ от сквозных отверстий в пользу глухих и слепых межслойных переходов.

Основное препятствие на пути увеличения

плотности межсоединений – это контактные площадки большого диаметра, они уменьшают трассировочное пространство между отверстиями. Размер контактных площадок определяется операцией сверления отверстий. Чем больше погрешность пространственного совмещения элементов межсоединений, тем больше должен быть размер контактных площадок, чтобы обеспечить уверенное попадание в них сверла. Поэтому контактные площадки вокруг просверленных отверстий компенсируют любые возможные смещения элементов межсоединений в слоях относительно друг друга и не допускают сверления отверстия за пределами контактной площадки. Погрешность совмещения в основном вызывается размерной нестабильностью базового материала и смещением основания на различных этапах производства печатных плат.

Очевидно, что уменьшение ширины проводников и зазоров позволяет увеличить количество трасс на каждом слое платы. Но все же уменьшать ширину проводников бесконечно невозможно. Такое уменьшение ограничено токовыми свойствами и омическим сопротивлением проводников. Омическое сопротивление еще в большей степени сказывается на работоспособности схем, когда они имеют большую длину трасс, что для печатных плат не редкость. Существуют и технологические ограничения на ширину проводников, связанные непосредственно с производственным процессом. Выход готовой продукции резко падает, если требования к производственным процессам не укладываются в рамки нормальных допусков, определяемых применяемым оборудованием, материалами и параметрами климатической зоны производственных помещений.

Имеются ограничения и на уменьшение расстояний между проводниками (изоляционные зазоры). Тем не менее, если удалось достичь уменьшения ширины проводников с учетом описанных ограничений, то это позволит эффективно влиять на плотность межсоединений и снижение себестоимости производства печатных плат. При уменьшении ширины проводников существенно уменьшается число слоев, необходимое для сигнальной разводки, при условии, что выход годной продукции, плотность межсоединений и площадь платы остаются постоянными. Уменьшение числа слоев может существенно снизить затраты на производство печатных плат.

Когда не хватает места на существующих слоях для размещения всех необходимых межсоединений, добавляют еще один слой. Это самое простое решение. Такой подход широко применялся в прошлом. Но сейчас, когда эффективность затрат на изготовление подложек имеет большое значение, необходим тщательный анализ каждого проекта минимизации числа слоев, так как с каждым дополнительным слоем существенно растут затраты на изготовление платы. Любое увеличение числа слоев сигнальной разводки в платах, работающих на высоких (более 1 ГГц) частотах, удваивает общее число слоев из-за необходимости использования экранных слоев (слоев заземления или питания) между слоями сигнальной разводки.

Чтобы увеличить трассировочное пространство и мобильность трехмерной разводки проводников, проектировщики и производители идут на значительные усложнения технологий, чтобы выполнять в многослойных структурах глухие и скрытые отверстия.

Все перечисленные способы несут за собой повышение плотности межсоединений, что является основным вопросом к сохранению технологичности при подготовке производства печатных плат [3].

Экспериментальные исследования

Предлагаемое техническое решение [4] заключается в снижении плотности межсоединений многослойной печатной платы без увеличения габаритного размера изделия для дополнительного увеличения степени интеграции топологии проводящего рисунка. Его суть состоит в смещении переходных отверстий непосредственно под контактные площадки выводов микросхем. При изготовлении данной МПП используется технология послойного наращивания с последующим наращиванием глухих переходных отверстий медью.

Разработанный алгоритм (рисунок 1) снижения плотности межсоединений за счет применения операции «transfer» для переноса переходных отверстий под выводы микросхемы и интеграция его в общую САМ-систему [4] позволят существенно снизить трудоемкость перетрассировки серийно выпускаемых печатных плат и перейти к выполнению технологического процесса по изготовлению принципиально новых прототипов изделий электроники.

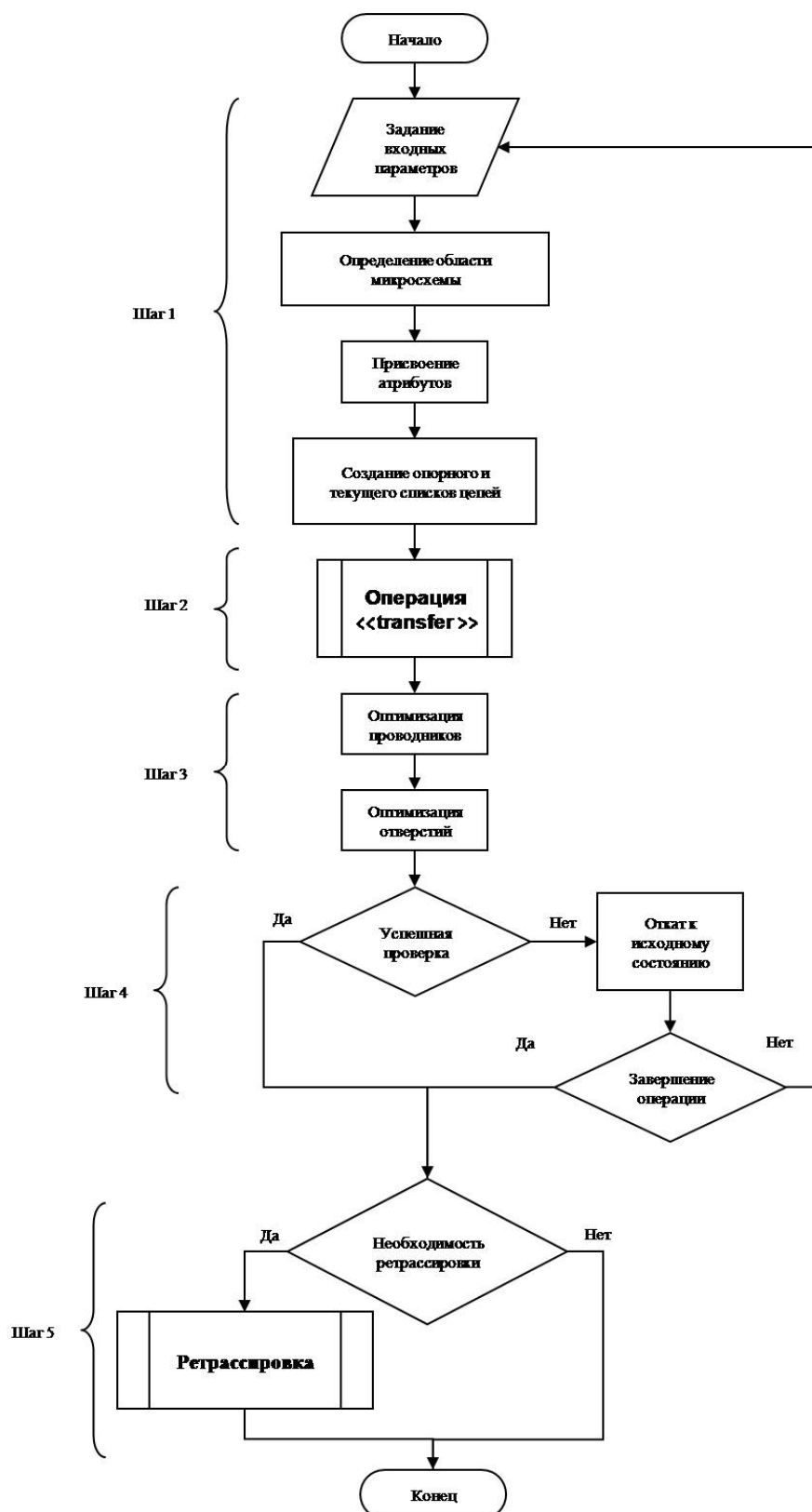


Рисунок 1 – Алгоритм снижения плотности межсоединений

Разберем представленный алгоритм более подробно.

На *первом* шаге осуществляется инициализация и идентификация алгоритма, то есть его подготовка к выполнению. На данном этапе оператор осуществляет ввод параметров и техно-

логических требований, определяемых классом точности печатной платы, технологическим процессом изготовления и степенью плотности межсоединений в области трассировочного пространства микросхемы. Здесь используются такие параметры, как минимальный и оптималь-

ный зазор между элементами токопроводящего рисунка топологии, минимальная и оптимальная толщина проводников печатной платы, минимальное и оптимальное значение гарантийного ободка контактной площадки отверстия. Кроме того, можно задать определенные правила размещения запретных трассировочных зон и разводки проводников после переноса отверстий.

Далее происходит определение области микросхемы в автоматизированном режиме. Если результаты выполнения операции не удовлетворяют оператора, то он имеет возможность скорректировать их вручную. После определения границ рабочей области осуществляется процедура идентификации объектов и присвоения им соответствующих параметров. Этот этап необходим для последующей корректной работы алгоритма и применения заданных правил к конкретным элементам на плате под микросхемой. Атрибуты разбивают весь массив элементов на категории:

- переходные отверстия;
- контактные площадки переходных отверстий;
- контактные площадки микросхем BGA;
- проводники;
- дифференциальные пары;
- и другие.

Следует отметить, что существует принципиальная разница при работе с обычными и высокоамперными проводниками. Для вторых особенно важно соблюсти параметры и размеры, чтобы выдержать заложенное разработчиком значение волнового сопротивления.

Залог качественного выполнения операции – гарантия целостности проекта, поэтому наличие в алгоритме пункта для контроля списков цепей является необходимым и обязательным требованием в работе, связанной с производством высокотехнологичной и высокоточной продукции. На этапе создания контрольных списков выполняется операция генерации текущего и опорного нетлистов. Каждый из них необходим для проверки правильности работы во время исполнения и после завершения алгоритма соответственно.

На *втором* шаге осуществляется выполнение операции «transfer» (рисунок 2), которая подразумевает под собой перенос переходных отверстий непосредственно под контактные площадки BGA.

Перенос отверстий осуществляется следующим образом. Последовательно друг за другом происходит анализ каждого сквозного переходного отверстия внутри рабочей зоны. Каждое переходное отверстие проверяется на наличие связей с контактными площадками микросхемы. Если такая связь присутствует, то выполняется следующая последовательность действий:

1. Определение диаметра «глухого» переходного отверстия под контактной площадкой микросхемы исходя из диаметра сквозного переходного отверстия.

2. Определение глубины сверления «глухого» переходного отверстия исходя из наличия электрической связи на максимально удаленном слое от слоя поверхностного монтажа микросхемы.

3. Добавление отверстия с заданными значениями диаметра и глубины в карту сверления, контактных площадок по слоям, имеющим подключения.

4. Подключение отсоединенных проводников по всем соответствующим слоям печатной платы к контактным площадкам «глухих» отверстий.

Далее осуществляется контроль целостности цепей. В случае успеха текущий нетлист обновляется и происходит поиск других подключений данного сквозного переходного отверстия к контактным площадкам микросхемы. Если такие подключения имеются, то последовательность действий повторяется с пункта 1. В случае отсутствия дополнительных подключений осуществляется удаление сквозного переходного отверстия из карты сверления и его контактных площадок, и к рассмотрению переходит следующее сквозное переходное отверстие. Если результатом контроля целостности является ошибка, то данное переходное отверстие можно оставить без изменения и перейти к следующему либо осуществить ручное исправление ошибки, после чего снова осуществить проверку.

Если переходное отверстие изначально не имеет связей, то осуществляется удаление сквозного переходного отверстия из карты сверления и его контактных площадок, и к рассмотрению переходит следующее сквозное переходное отверстие.

Алгоритм выполняется до тех пор, пока не будут удалены или проанализированы все переходные отверстия.

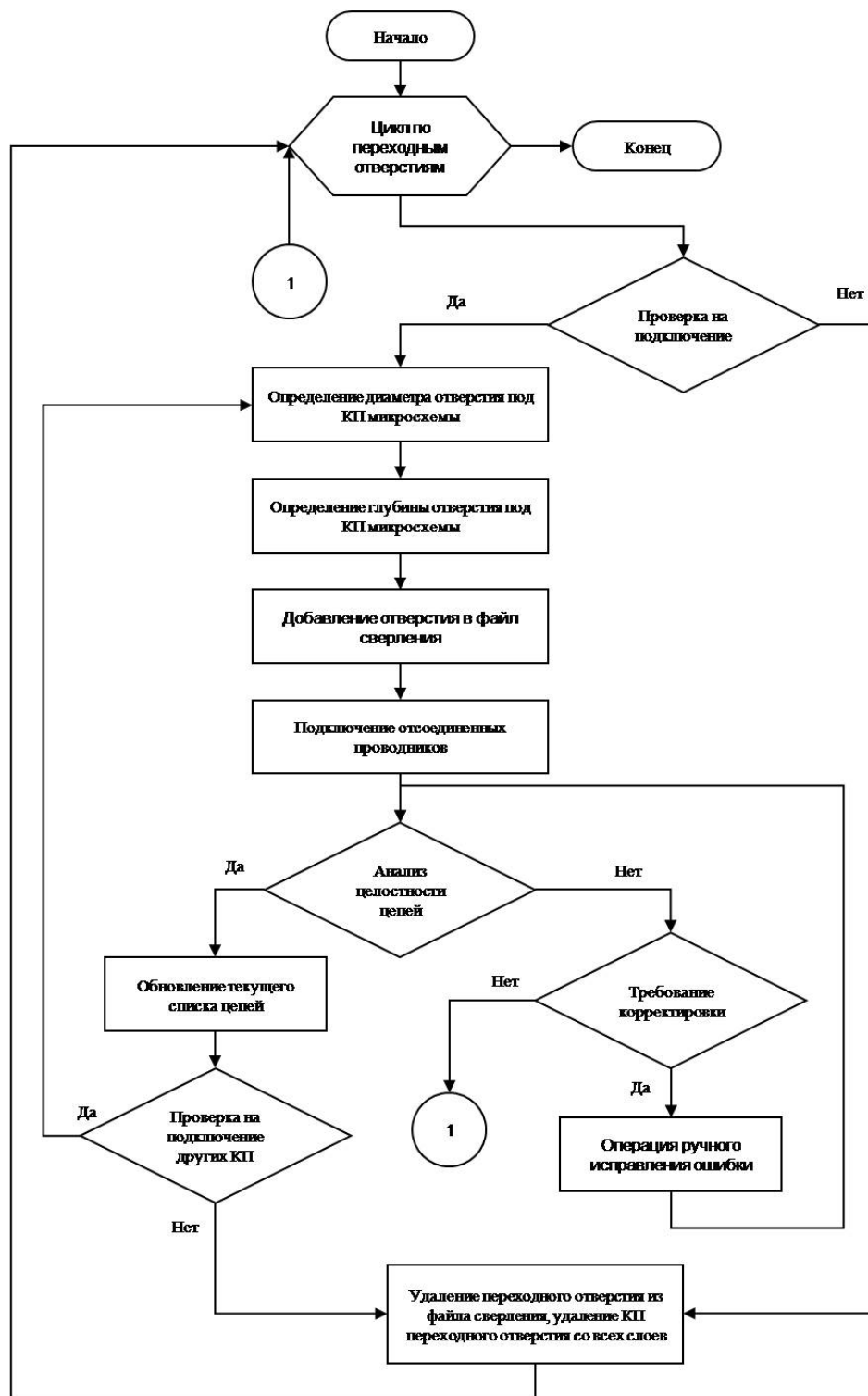


Рисунок 2 – Алгоритм операции «transfer»

На *третьем* шаге осуществляется оптимизация трассировки, полученной в результате выполнения шага 2. Это своеобразная подготовка производства, направленная на улучшение технологичности данного проекта. Сюда относятся два важных этапа – оптимизация проводников и оптимизация карты сверления.

После переноса переходных отверстий и автоматического переподключения проводников появляется свободное пространство на слоях

печатной платы между вновь полученными «глухими» отверстиями.

На выбор оператору представляется несколько вариантов оптимизации:

- центрирование положения проводника между отверстиями для увеличения минимального зазора по возможности до оптимального значения в соответствии с заданной сеткой разрешения;
- увеличение толщины проводника по воз-

возможности до оптимального значения;

- оба перечисленных варианта при наличии достаточного трассировочного пространства;
- автоматизированная модификация дифференциальных пар.

Также немаловажным этапом на данном шаге является оптимизация карты сверления. Сюда входит определение диаметра глухих отверстий и выравнивание глубины их сверления, определение размера контактных площадок глухих отверстий по слоям.

Диаметр отверстий зависит от нескольких параметров. В первую очередь это технологические возможности производства, диаметр исходного переходного отверстия и радиальные значения, заложенные разработчиком.

Учитывая, что ведущие мировые фирмы-изготовители добились результатов $h \leq 1,1D$ (где h – глубина сверления, D – диаметр сверла) в основном ставят задачу добиться результатов при $h=100$ мкм, $D = 100$ мкм. Однако опытные работы, проведенные нами, доказывают и подтверждают стабильные результаты для $h=150$ мкм, $D = 150$ мкм. Это значение крайне важно, т.к. формирование металлизации глухого отверстия в МПП зависит от толщины слоя. Например, при толщине фольги 18 мкм и толщине диэлектрика 100 мкм суммарная толщина слоя $18+18+100=136$ мкм. Это значит, что при стабильном технологическом процессе для $h=150$ мкм, задача изготовления печатной платы по данной технологии с использованием данного алгоритма, внедренного в САМ-систему, является вполне разрешимой.

Выравнивание глубины сверления сказывается на объеме выпускаемых управляющих файлов для сверлильных станков. Задача этого этапа максимально сгладить глубину слоев сверления без перетрассировки топологии. Это возможно только путем анализа глубины сверления для каждого отверстия, выделения ограниченного количества точек стремления глубины и последующего увеличения глубин сверления отверстий до этих значений. Т.е. фактически задача алгоритма минимизировать количество слоев, являющихся конечными для "глухих" переходных отверстий.

Размер контактной площадки определяется из конструктива платы и параметров минимального и оптимального значений гарантийного ободка и устанавливается автоматически.

На *четвертом* шаге осуществляется проверка целостности цепей по опорному нетлисту, созданному на первом шаге. При успешном сравнении списков цепей осуществляется под-

тверждение и завершение алгоритма. В случае неудачи происходит откат к исходному состоянию. На данном этапе появляются два возможных варианта развития событий:

- отказаться от изменений и оставить исходный вариант;
- внести изменения в исходные технологические параметры, смягчить требования к минимальным и оптимальным значениям и запустить алгоритм заново.

Заключение

Результатом выполнения алгоритма процедуры переноса переходных отверстий за счет высвобождения трассировочного пространства становится доступность ретрассировки – одного из наиболее удобных и гибких инструментов повышения технологичности. Применяемость её возможна при непосредственном взаимодействии с разработчиком и может влиять на изменение всей топологии печатной платы, как то уменьшение шага микросхемы или даже изменение числа слоев.

Перетрассировка включает в себя следующие операции, каждая из которых представляет собой самостоятельный алгоритм с широким набором действий и обеспечением контроля целостности проекта:

- изменение толщины проводников;
- переразмещение проводников с целью понижения плотности трассировки;
- переразмещение проводников с целью повышения плотности трассировки;
- переразмещение проводников с целью уменьшения глубины сверления;
- изменение шага микросхемы.

Применение операций возможно как отдельно друг от друга, так и комбинированно в зависимости от требований технолога и разработчика. Изменение толщины проводников как в большую, так и в меньшую сторону, переразмещение проводников с целью понижения или повышения плотности трассировки может применяться при необходимости дополнительной трассировки проводников, не принадлежащих области микросхемы, но вступающих в конфликт с технологическими ограничениями производства и класса точности печатных плат. Переразмещение проводников с целью уменьшения глубины сверления может быть полезно для оптимизации карты сверления и даже уменьшения числа слоев при возможности перетрассировки печатной платы. Изменение шага микросхемы позволит использовать более широкую номенклатуру компонентной базы, осуществить безболезненный переход к микросхемам нового поколения.

Библиографический список

1. Медведев А., Можаров В. Плотность межсоединений электрических компонентов // Печатный монтаж. 2011. № 3(00032). С. 140-145.

2. Медведев А. М., Мылов Г. В. Технологии в производстве электроники. Часть III. Гибкие печатные платы. М.: Группа ИДТ, 2008. 488 с.

3. Мылов Г. В., Дроzhzhин И. В. Снижение плотности межсоединений многослойных печатных плат// Вестник Рязанского государственного Радиотехнического университета. 2015. № 54. С. 115-120.

4. Мылов Г. В., Дроzhzhин И. В. Патент на полезную модель № 144226 «Многослойная печатная плата». Роспатент, 2014.

UDC 621.3.049.75

THE ALGORITHM TO IMPROVE THE PROCESSABILITY OF MAKING MULTILAYER PRINTED CIRCUIT BOARDS

I. V. Drozhzhin, Head of Department "Printed Circuit Boards", JSC "Ryazan State Instrument-Making Enterprise", Ryazan; igordrozhzhin@gmail.com

The article proposes the algorithm to improve the processability of making multi-layer printed circuit boards with a method of reducing the density interconnections. The aim is to make full automation of creating multi-layer PCB with a high degree of integration of the topological pattern on the stage of automated design and technological design by moving the vias under IC chip directly below the findings and technology for manufacturing multilayer printed circuit board according to the method above. The results of this work will help to place the electrical circuit on the printed circuit board with smaller dimensions, use a BGA chip with a smaller step, to reduce the plies of PCB, to improve the reliability of interconnections, avoid short circuits during installation of planar circuits and BGA chip.

Keywords: printed circuit board, density interconnect, chip, via, pad, build-up, Silting holes.

DOI: 10.21667/1995-4565-2016-57-3-75-81

References

1. Medvedev A., Mozharov V. Plotnost mezhsoedineniy elektricheskikh komponentov. *Pечатniy montazh*. 2011, no. 3(00032), pp. 140-145 (in Russian).

2. Medvedev A. M., Mylov G. V. *Technologii v proizvodstve elektroniki. Chast III. Gибkie pechatnie plati* (The electronic production technologies. Vol. 3. PCB), Moscow, Gruppya IDT, 2008, 488 p. (in Russian).

3. Mylov G. V., Drozhzhin I. V. Snizhenie plotnosti mezhsoedineniy mnogoslownih pechatnih plat. *Vestnik Ryazanskogo gosudarstvennogo radiotekhnicheskogo universiteta*. 2015, no, 54, pp. 115-120 (in Russian).

4. Mylov G. V., Drozhzhin I. V. Patent na poleznuyu model no.144226. *Mnogoslownaya pechatnaya plata*. Rospatent, 2014.