

УДК 621.382.3

КОНВЕРТИРОВАНИЕ ПАРАМЕТРОВ МОДЕЛИ МОП-ТРАНЗИСТОРОВ ДЛЯ СИМУЛЯТОРОВ ЭЛЕКТРОННЫХ СХЕМ

С. В. Рыжов, инженер-конструктор АО «ОКБ Микроэлектроники», Калуга, Россия;

orcid.org/0000-0001-5330-2537, e-mail: sergey.righov@gmail.com

В. В. Андреев, д.т.н., профессор Калужского филиала МГТУ имени Н.Э. Баумана, Калуга, Россия;

orcid.org/0000-0002-8132-7050, e-mail: andreev@bmstu-kaluga.ru

Д. М. Ахмелкин, заместитель генерального директора – главный конструктор АО «ОКБ Микроэлектроники», Калуга, Россия;

orcid.org/0000-0002-8788-3453, e-mail: dmitriy.akhmelkin@okbmel.ru

М. В. Романов, начальник отдела АО «ОКБ Микроэлектроники», Калуга, Россия;

orcid.org/0000-0003-1898-5939, e-mail: romanov_mv@okbmel.ru

Приведено краткое описание алгоритма извлечения и подбора параметров EKV модели МОП транзистора. Преимущество данной компактной модели заключается в непрерывном описании поведения МОП транзистора от слабой до сильной инверсии. Целью работы является разработка программы для конвертирования модели BSIM в модель EKV, на основе оригинальной методологии экстракции параметров компактной модели, разработанной в Федеральной политехнической школе Лозанны. В данной работе выполнено конвертирование SPICE модели для технологии с проектными нормами 0,35 мкм фирмы XFAB. Полученная EKV модель хорошо согласуется с данными моделирования BSIM модели. На основе компактной модели извлечены параметры для упрощенной EKV модели, предназначенной для ручных вычислений. В дальнейшем полученные модели могут быть использованы при проектировании низковольтных аналоговых схем и радиочастотных схем.

Ключевые слова: EKV модель, моделирование полупроводниковых приборов, проектирование аналоговых ИМС, МОП транзистор, САПР Cadence Virtuoso.

DOI: 10.21667/1995-4565-2020-71-234-243

Введение

Моделирование в SPICE-подобных симуляторах обычно выполняется для верификации электрической схемы [1, 2]. В случае аналоговых схем чаще всего проводится моделирование на постоянном и переменном токе, моделирование переходных процессов, количество которых определяется конструкцией и требованиями к схеме [3, 4]. Аналоговые схемы в отличие от цифровых имеют меньшее количество транзисторов, но параметры схемы сильно зависят от поведения каждого транзистора, поэтому эффективное аналоговое проектирование в значительной степени зависит от точности и надёжности используемых SPICE моделей [2, 3, 5]. Модели для коммерческих КМОП технологий в основном ориентированы на цифровые схемы, и поэтому могут возникать ошибки, связанные с недостаточной их оптимизацией под аналоговые и радиочастотные схемы [2, 3, 5, 6]. Аналоговые схемы часто могут работать в критических режимах [7-9], что также повышает требования к их моделированию.

Решением проблемы недостаточной оптимизации является использование моделей, разработанных для аналогового и радиочастотного моделирования [2, 3, 6, 10]. Например, компактная модель МОП транзистора, предложенная в Федеральной политехнической школе Лозанны Энцом, Крумменагером и Виттозом, известная как EKV (Enz, Krummenacher, Vittoz), специально разработана для требований, предъявляемых к аналоговому проектированию [3, 6, 10-12]. Модель EKV описывает непрерывное поведение транзистора от малых токов (слабая инверсия) до больших токов (сильная инверсия) [3, 6, 12]. Преимуществом EKV модели является иерархичная структура, которая позволяет начать проектирование с упрощенной модели для ручных вычислений и закончить использованием полноценной мо-

дели в симуляторе [3, 6, 12]. Упрощенная компактная модель требует всего 4 параметра, которые можно получить путём измерения характеристик транзистора [13]. Использование упрощенной модели на начальных стадиях проектирования позволяет уменьшить количество «проб и ошибок» в процессе моделирования схемы в симуляторе [13].

В данной работе рассматриваются основы конвертирования BSIM модели МОП транзистора в EKV модель. Конвертирование заключается в замене характеристик, необходимых для стандартной процедуры экстракции характеристиками, полученными в САПР Cadence Virtuoso с использованием BSIM библиотеки. Полученная компактная модель используется для получения параметров для ручных вычислений. Данная конвертация рассматривается на примере 350 нанометровой технологии фирмы XFAB.

Инициализация

Процедура экстракции модели EKV 2.6 использует оригинальную методологию, представленную в [3, 13]. Данный метод предполагает использование набора данных по транзистору с «большим» каналом ($W_{\max}/L_{\max}$), «широким» каналом ($W_{\max}/L_{\min}$), «длинным» каналом ($W_{\min}/L_{\max}$) [3, 13, 14], где $W_{\max}$, $W_{\min}$ – максимальная и минимальная ширина канала МОП транзистора, $L_{\max}$, $L_{\min}$ – максимальная и минимальная длина канала соответственно, которые определены технологическим процессом. Базовая технологическая информация и начальные значения параметров могут быть извлечены из библиотеки PDK [3, 13]. В таблице приводятся параметры EKV модели и используемая геометрия транзисторов для моделирования.

Таблица – Параметры модели EKV2.6

Table – Parameters EKV2.6 model

Параметр	Пояснение	Способ определения параметров
COX	Емкость затвор-окисел на единицу площади	Из библиотеки PDK
XJ	Глубина технологического перехода	
CGSO	Емкость перекрытия затвора и истока	
CGDO	Емкость перекрытия затвора и стока	
CGBO	Емкость перекрытия затвора и подложки	
HDIF	Длина диффузии при сильном легировании	
VTO	Пороговое напряжение длинного канала	Определяются для транзистора с размерами $W_{\max}/L_{\max}$
GAMMA	Параметр влияния подложки	
PHI	Объемный потенциал Ферми	
LETA	Продольное критическое поле	Определяются для транзистора с размерами $W_{\max}/L_{\min}$
WETA	Коэффициент влияния узкого канала	Определяются для транзистора с размерами $W_{\min}/L_{\max}$
LK	Характеристическая длина	Определяются для транзистора с размерами $W_{\max}/L_{\min}$
Q0	Обратная плотность заряда короткого канала	
KP	Передаточная проводимость	Определяются для транзистора с размерами $W_{\max}/L_{\max}$
EO	Коэффициент подвижности	
DW	Коррекция ширины канала	Определяются для матрицы транзисторов
DL	Коррекция длины канала	
RSH	Сопротивление диффузионного слоя сток/исток	
RS	Контактное сопротивление истока	
RD	Контактное сопротивление стока	
UCRIT	Продольное критическое поле	Определяются для транзистора с размерами $W_{\max}/L_{\min}$
LAMBDA	Коэффициент длины обеднения	
Ispc	Ток стока МОП транзистора в середине умеренной инверсии	$W_{\max}/L_{\min}$ $W_{\max}/L_{\max}$ $W_{\min}/L_{\min}$

Извлечение токов подложки, а также извлечение модели 1/f-шума в данной статье не рассматривается. Эти параметры могут быть получены при измерении тестовых структур.

Для конвертирования была создана программа на языке Octave, для поиска минимума функции нескольких переменных используется алгоритм Нелдера – Мида. Моделирование параметров SPICE моделей проводилось в Cadence Virtuoso.

Определение параметра I_{spec}

Перед началом процесса конвертирования необходимо определить ток I_{spec} для каждой используемой геометрии транзисторов. Ток I_{spec} представляет собой ток стока МОП транзистора, работающего в центре умеренной инверсии [3,12]. Значение данного тока согласно [3] можно определить следующим образом:

$$I_{spec} = \left(2 \cdot U_T \cdot \frac{d\sqrt{I_D}}{dV_S} \right)^2,$$

где U_T – тепловой потенциал; I_D – ток стока; V_S – напряжение сток-подложка.

Таким образом, первым шагом моделирования в симуляторе является получение зависимости тока стока от напряжения на затворе и определение I_{spec} .

Определение параметров VTO, GAMMA и PHI

Напряжение отсечки V_{PO} может быть измерено на истоке МОП транзистора в режиме насыщения, при этом транзистор смещен в середине умеренной инверсии, зависимость $V_{PO} = f(V_G)$ получается разверткой по напряжению на затворе и измерению напряжения на истоке [3, 13]. Для нахождения параметров VTO , $GAMMA$ и PHI проводится минимизация следующей системы уравнений [13] по полученной зависимости $V_{PO} = f(V'_G)$ для транзистора с «большим» каналом:

$$V'_G = V_G - VTO + PHI + GAMMA \cdot \sqrt{PHI}, \quad (1)$$

$$V_{PO} = V'_G - PHI - GAMMA \cdot \left(\sqrt{V'_G + \left(\frac{GAMMA}{2} \right)^2} - \frac{GAMMA}{2} \right), \quad (2)$$

где V_G – напряжение затвор-подложка

На рисунке 1 показано сравнение исходной зависимости с полученной минимизацией параметров VTO , $GAMMA$ и PHI .

Параметры $LETA$, $WETA$ так же определяются с помощью моделирования и последующей минимизации зависимости $V_P = f(V'_G)$ по формулам (1) и (2) с учетом скорректированного фактора влияния подложки γ' , который описывается следующей системой [13]:

$$\gamma^o = GAMMA - \frac{\varepsilon_{si}}{COX} \cdot \left[\frac{LETA}{L + DL} \left(\sqrt{V'_S} + \sqrt{V'_D} \right) - \frac{3 \cdot WETA}{W + DW} \cdot \sqrt{V_{PO} + PHI} \right],$$

$$\gamma' = 0,5 \cdot \left(\gamma^o + \sqrt{\gamma^{o2} + 0,1 \cdot U_T} \right),$$

$$V'_{S(D)} = 0,5 \cdot \left(V_{S(D)} + PHI + \sqrt{V_{S(D)} + PHI}^2 + (4U_T)^2 \right),$$

где ε_{si} – диэлектрическая проницаемость кремния, $V_{S(D)}$ – напряжение исток-подложка (сток-подложка) МОП транзистора.

Скорректированный фактор влияния подложки учитывает малые геометрические эффекты, и делает напряжение отсечки зависимым от эффективной длины и ширины канала, от

напряжений стока V_D , истока V_S посредством параметров LETA для транзисторов с «широким» каналом и WETA для транзисторов с «длинным» каналом.

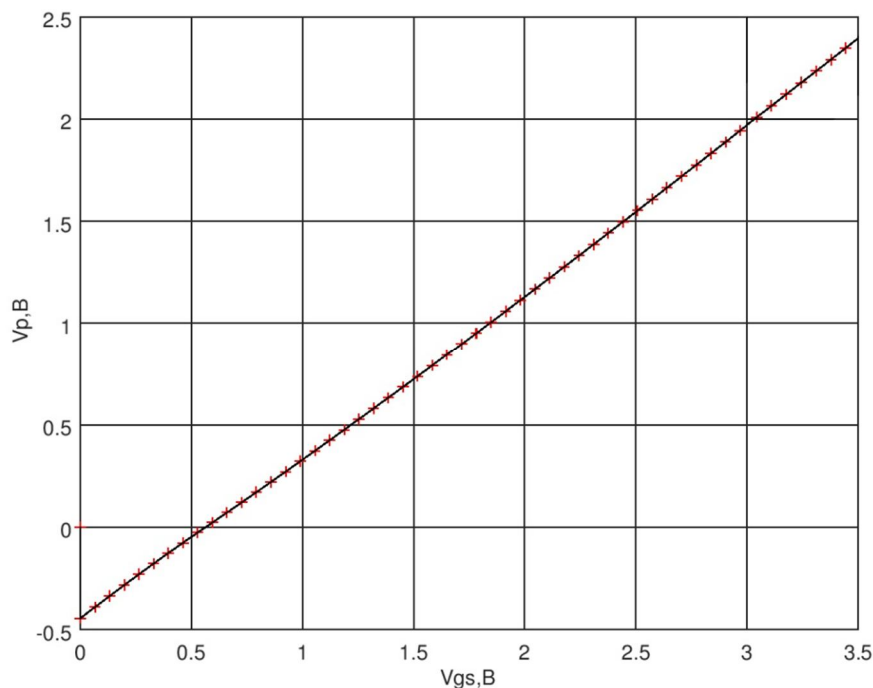


Рисунок 1 – Зависимость напряжения отсечки от напряжения затвор-сток.
Значки – результаты моделирования BSIM модели, линия – результат минимизации

Figure 1 – Plot of pinch-off voltage versus gate-drain voltage.

Icons – BSIM model simulation results, line – fitting result

Определение параметров LK, Q0

На данном этапе, посредством моделирования в Cadence Virtuoso, получается зависимость «SPICE-подобного» порогового напряжения $V_{TH} = f(L)$. Для построения данной зависимости используется набор транзисторов с «широким» каналом со значениями L от L_{min} до $4L_{min}$ [1].

С использованием минимизации следующих уравнений из [12] определяются параметры LK, Q0.

$$V_{TH} = V_{TO} + \Delta V_{RSCE} + \gamma' \cdot \sqrt{V_S'} - GAMMA \cdot \sqrt{PHI},$$

$$\Delta V_{RSCE} = \frac{2 \cdot Q0}{COX} \cdot \frac{I}{\left(1 + 0,5(\xi + \sqrt{\xi^2 + 0,001936})\right)^2},$$

$$\xi = 0,028 \cdot \left(10 \cdot \frac{L-DL}{LK} - 1\right).$$

Определение параметров KP, E0

Параметры KP и E0 получаются минимизацией зависимости $I_D = f(V_G)$ для транзистора с «большим» каналом, работающим в линейной области $V_{ds}=50$ мВ. На данном этапе используется упрощенное уравнение тока стока I_D , который выражается следующим образом:

$$I_D = I_R - I_F,$$

где I_F – прямой компонент тока (не зависит от V_D) и I_R – обратный компонент тока (не зависит от V_S). Токи I_F и I_R получены интегрированием инверсного заряда по каналу [12]:

$$I_{F(R)} = I_{spec} \left(\ln \left[\frac{V_p - V_{S(D)}}{2U_T} \right] \right)^2,$$

$$I_{spec} = 2n\beta U_T^2.$$

Результаты минимизации функции $I_D = f(V_G)$ представлены на рисунке 2.

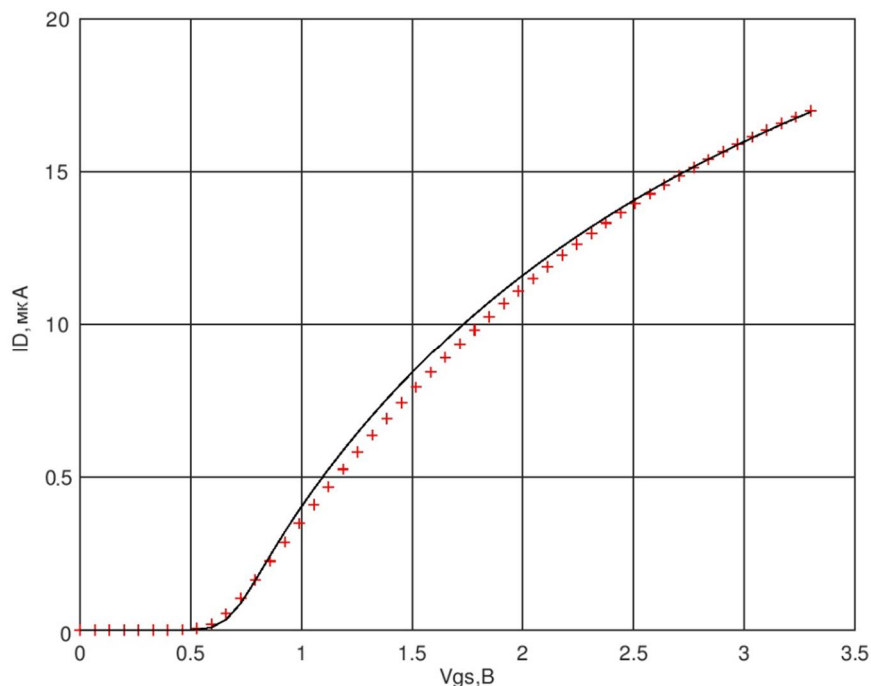


Рисунок 2 – Проходная характеристика МОП транзистора с «большим» каналом.
Значки – результаты моделирования BSIM модели, линия – результат минимизации

Figure 2 –Transfer characteristic for wide/long MOSFET.

Icons – BSIM model simulation results, line - fitting result

Определение параметров UCRIT и LAMBDA, RSH

Параметры UCRIT, LAMBDA, RSH получаются настройкой модели по зависимостям $I_D = f(V_D)$, $I_D = f(V_G)$ для транзистора с «широким» каналом.

Определение параметров TCV, BEX, UCEX

В САПР Cadence Virtuoso для получения температурных параметров моделируются зависимости в диапазоне температур от -40 °С до 120 °С. Для параметров TCV BEX используется транзистор с «длинным» каналом, для UCEX – транзистор с «широким» каналом.

Для минимизации используется следующая система уравнений [12]:

$$VTO(T) = VTO - TCV(T - T_{nom}),$$

$$KP(T) = KP \left(\frac{T}{T_{nom}} \right)^{BEX},$$

$$UCRIT(T) = UCRIT \left(\frac{T}{T_{nom}} \right)^{UCEX}.$$

Результаты конвертации

В качестве последнего шага некоторые параметры могут быть точно настроены для дальнейшего улучшения результатов в определённых рабочих областях, если это необходимо [3].

На рисунках 3 и 4 показан результат сравнения полученной модели EKV 2.6 и исходной модели BSIM в Cadence Virtuoso.

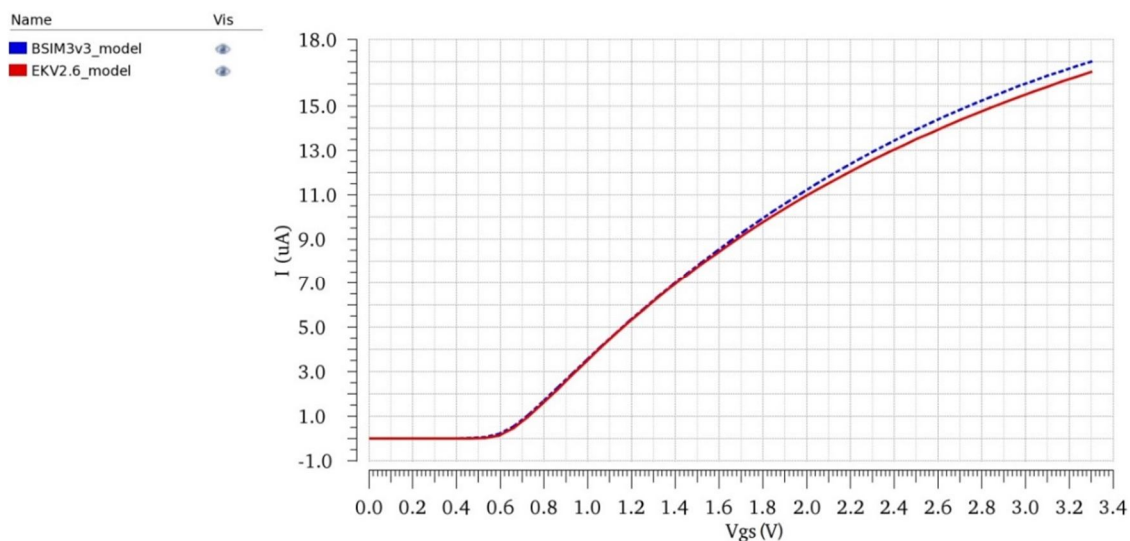


Рисунок 3 – Проходная характеристика МОП транзистора с «большим» каналом: пунктирная линия – результаты моделирования BSIM модели, сплошная – результаты моделирования EKV модели

Figure 3 –Transfer characteristic for wide/long MOSFET: icons – BSIM model simulation results, line - EKV model simulation results

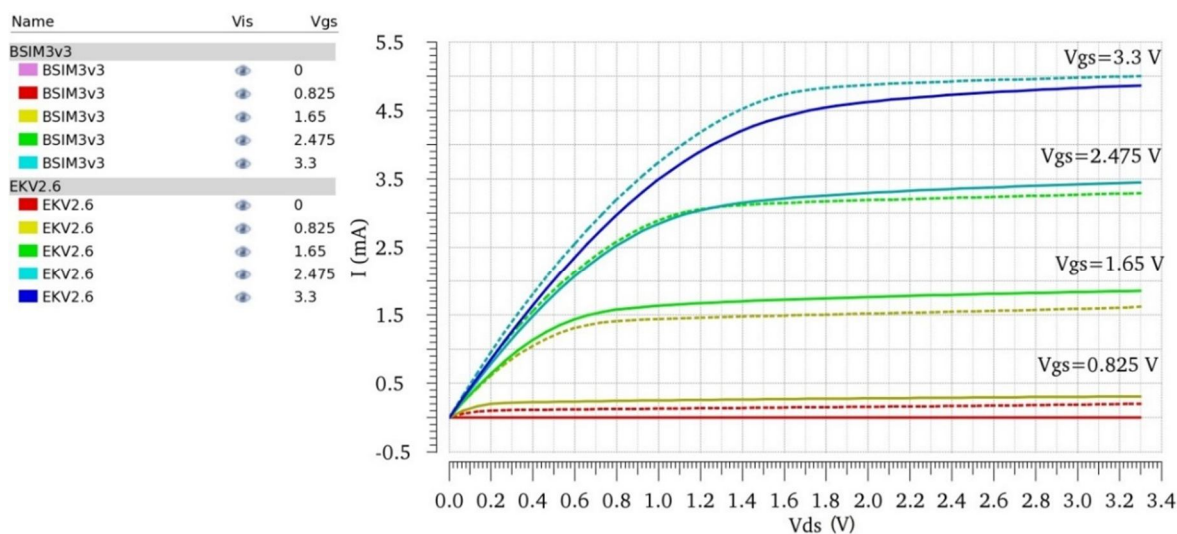


Рисунок 4 – Выходная ВАХ МОП транзистора «широким» каналом: пунктирная линия – результаты моделирования BSIM модели, сплошная – результаты моделирования EKV модели

Figure 4 –Output characteristic for wide/short MOSFET: icons – BSIM model simulation results, line - EKV model simulation results

На рисунках 3, 4 показаны результаты моделирования EKV в сравнении с моделью BSIM3v3 для CMOS-технологии XFAB 0,35 мкм. Графики демонстрируют близкое соответствие между результатами моделирования EKV модели с моделью BSIM3v3, представленной фабрикой-производителем. Выполненное конвертирование для технологии 0,35 мкм и полученные модели не являются заменой моделям, предоставленным фабрикой-изготовителем, рассмотренный метод может быть применен на ранних этапах проектирования. Для использования модели в симуляторе в качестве основной необходимо уточнить параметры с использованием тестовых структур.

Получение параметров упрощенной модели для ручных вычислений

Поскольку модель BSIM3V3 не достаточно хорошо описывает область слабой и умеренной инверсии [11], то для получения параметров упрощенной модели в данной работе используется полученная на ранее EKV модель. Упрощенная модель требует только 4 параметра n , V_{TO} , I_{spec} , λ_c [13].

Конвертирование начинается с измерения ВАХ транзистора с размерами W_{max}/L_{max} , по данной зависимости определяется G_m и строится зависимость $\frac{I_D}{G_m \cdot U_T}$ (рисунок 5).

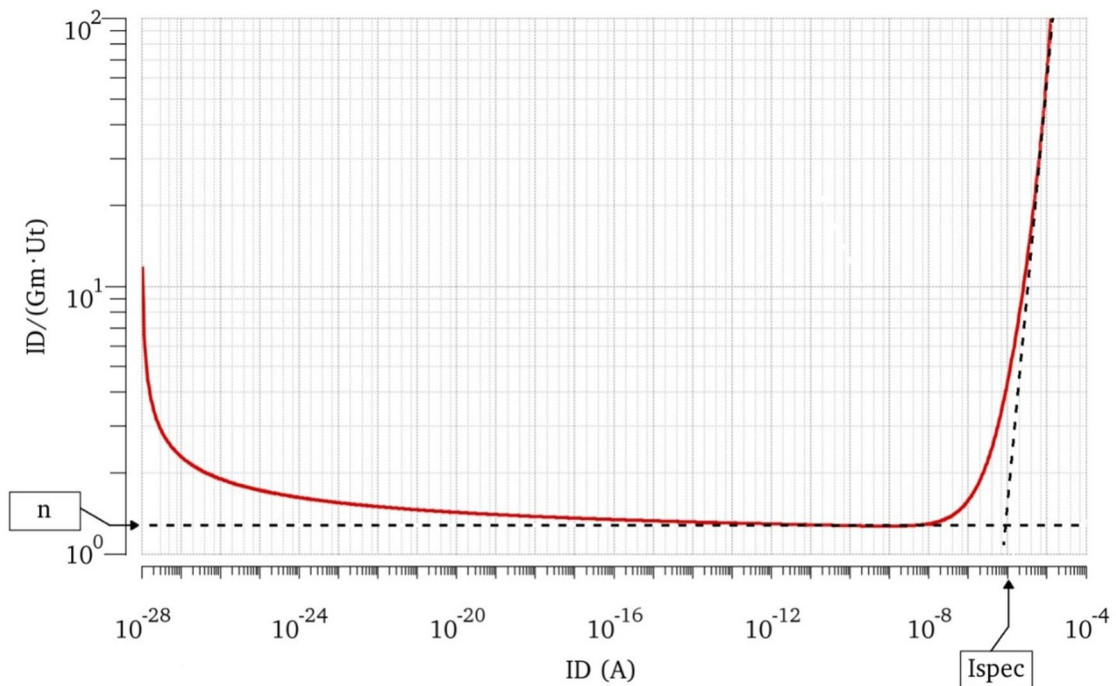


Рисунок 5 – Зависимость $\frac{I_D}{G_m \cdot U_T}$ от тока стока

Figure 5 – Plot $\frac{I_D}{G_m \cdot U_T}$ versus drain current

В области слабой инверсии значение $\frac{I_D}{G_m \cdot U_T}$ равно коэффициенту наклона n [13]. Плато на зависимости, показанной на рисунке 5, и есть искомый параметр n . Значение тока I_{spec} определяется путём пересечения асимптоты $\propto \sqrt{I_D}$ с линией для определения n [13].

В упрощенной модели EKV для описания эффекта насыщения скорости носителей используется параметр λ_c [13], который определяется как:

$$\lambda_c = \frac{L_{sat}}{L}; L_{sat} = \frac{2\mu U_T}{v_{sat}},$$

где v_{sat} – скорость насыщения носителей. Параметр λ_c получается из зависимости $\frac{G_m \cdot n \cdot U_T}{I_D}$ для транзистора с «широким» каналом как соответствующий пересечению асимптоты $\frac{I}{(\lambda_c \cdot IC)}$ с горизонтальной линией единицы [13] (рисунок 6).

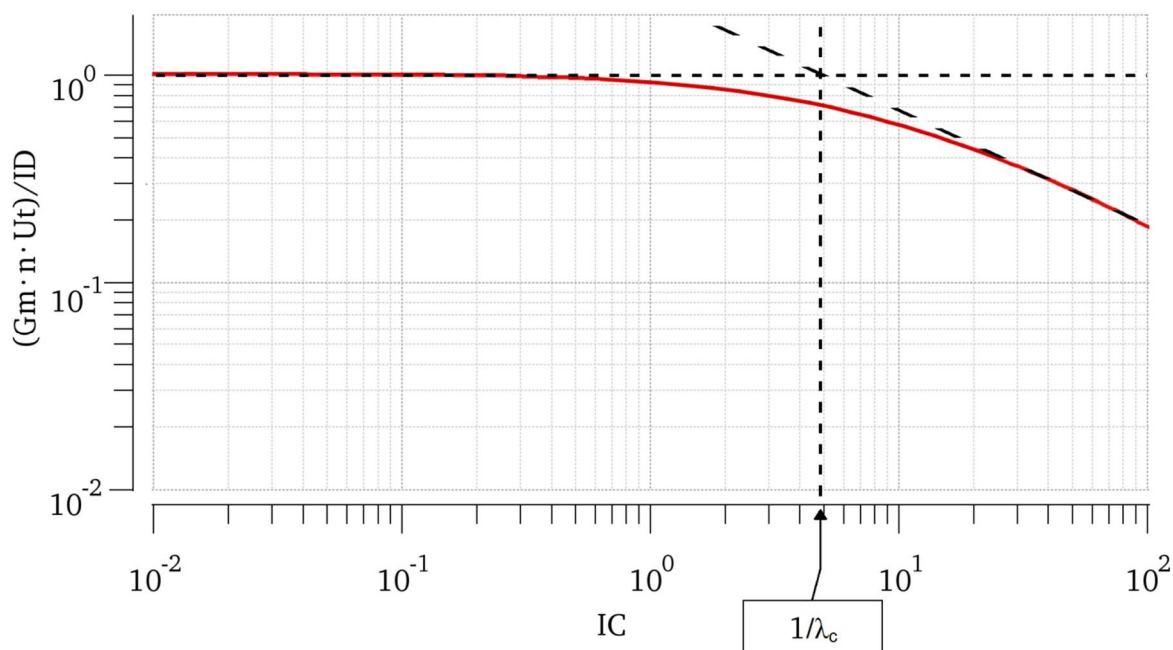


Рисунок 6 – Зависимость $\frac{G_m \cdot n \cdot U_T}{I_D}$ от коэффициента инверсии

Figure 6 – Plot $\frac{G_m \cdot n \cdot U_T}{I_D}$ versus inversion coefficient

Полученные параметры упрощенной модели можно использовать для начальных этапов проектирования с использованием коэффициента инверсии IC .

$$IC = \frac{I_D}{I_{spec}}$$

В данном подходе коэффициент инверсии вводится в качестве основного параметра проектирования и охватывает весь диапазон от слабой до сильной инверсии.

Заключение

В данной работе рассмотрена компактная модель EKV, которая может являться заменой модели, предоставляемой фабрикой-производителем при проектировании низковольтных аналоговых схем и радиочастотных схем. Особенностью модели EKV по сравнению с другими моделями является небольшое количество требуемых параметров. Показана процедура экстракции параметров модели путем моделирования характеристик в САПР Cadence Virtuoso с последующим определением параметров упрощенной модели. Выполнено конвертирование модели BSIM3v3 для технологии 0,35 мкм фирмы XFAB, получены модель EKV2.6 и упрощенная EKV модель. Данные модели могут использоваться для ручных вычислений и моделирования на ранних этапах проектирования аналоговых схем.

Библиографический список

1. Бочаров Ю. И., Гуменюк А. С., Симakov А. Б., Шевченко П. А. Проектирование БИС класса «система на кристалле». М.: МИФИ, 2008.
2. Абрамов И.И., Дворников О.В. Тенденции и проблемы проектирования прецизионных аналоговых интерфейсов // Нано и микросистемная техника. 2005. №10. С. 23–35.
3. Stefanovic D., Kayal M. Structured Analog CMOS Design. Springer 2008, 290 p.
4. R. Jacob Baker. CMOS Circuit Design, Layout, and Simulation. John Wiley & Sons 2019.
5. Гаврилов С. В., Иванова Г. А., Волобуев П. С. Актуальные проблемы автоматизации логикотопологического проектирования библиотечных элементов и блоков СБИС для нанометровых технологий // Вестник Рязанского государственного радиотехнического университета. 2014. № 50-1. С.69-77.

6. Grabinski W, Tomaszewski D., Jazaeri F., Mangla A., Sallese J., Chalkiadak M.-A, Bazigos A., Matthias Bucher M. FOSS EKV 2.6 parameter extractor // Proceedings of 22nd International Conference Mixed Design of Integrated Circuits & Systems (MIXDES). 2015. pp.181-186
7. Харитонов И. А., Четвериков И. А., Кузин Е. Ю., Исмаил-Заде М. Р. Определение параметров SPICE-моделей мопт при низких температурах (до минус 200 С) // Труды НИИСИ РАН.. 2017. Т. 7 № 2 С. 41-45
8. Андреев В. В., Столяров А. А., Ахмелкин Д. М. Инжекционные методы контроля наноразмерных диэлектрических слоев МДП-микросхем // Вестник Рязанского государственного радиотехнического университета. 2012. № №42). Часть 2. С.20-27.
9. Andreev D. V., Bondarenko G. G., Andreev V. V., Maslovsky V. M., Stolyarov A. A. Modification of MIS Devices by Irradiation and High-Field Electron Injection Treatments // Acta Phys. Pol. A. 2017. Vol. 132. No. 2. P.245-248.
10. Singh K., Jain P. BSIM3v3 to EKV2.6 Model Parameter Extraction and Optimisation using LM algorithm on 0.18 micron Technology node // International Journal of Electronics and Telecommunications. 2018, pp. 5-11.
11. Terry S. C., Rochelle J. M., Binkley D. M., Blalock B. J., Foty D. P., Bucher M. (2003). Comparison of a BSIM3V and EKV MOSFET model for a 0.5µm CMOS process and implications for analog circuit design // IEEE Transactions on Nuclear Science. 2003. Vol. 50. Issue.4 pp. 915-920.
12. Bucher M., Lallement C., Théodoloz F., Krummenacher F. The EPFL-EKV MOSFET Model Equations for Simulation report [Электронный ресурс] URL: https://www.epfl.ch/labs/iclab/wp-content/uploads/2019/02/ekv_v262.pdf (дата обращения: 05.02.2019)
13. Enz C., Chicco F., Pezzotta A. Nanoscale MOSFET Modeling: Part 1: The Simplified EKV Model for the Design of Low-Power Analog Circuits // IEEE Solid-State Circuits Magazine. 2017, vol. 9. pp. 26-35.
14. Красиков М. Г., Нелаев В. В., Божаткин О. А., Кунцевич В. В., Сякерский В. С. Экстракция параметров масштабируемой модели МОП-транзистора. // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2010. № 1. С. 54-59

UDC 621.382.3

CONVERSION OF MOS TRANSISTOR MODEL FOR SPICE SIMULATORS

S. V. Ryzhov, Engineer, JSC «OKB MEL», Kaluga, Russia;

orcid.org/0000-0001-5330-2537, e-mail: sergey.righov@gmail.com

V. V. Andreev, Dr. Sc. (Tech.), full professor, Kaluga Branch of BMSTU, Kaluga, Russia;

orcid.org/0000-0002-8132-7050, e-mail: andreev@bmstu-kaluga.ru

D. M. Akhmelkin, Deputy General Director – Chief Designer, JSC «OKB MEL», Kaluga, Russia;

orcid.org/0000-0002-8788-3453, e-mail: dmitriy.akhmelkin@okbmel.ru

M. V. Romanov, Head of Department, JSC «OKB MEL», Kaluga, Russia;

orcid.org/0000-0003-1898-5939, e-mail: romanov_mv@okbmel.ru

This paper provides a brief description of the algorithm for extracting and selecting parameters of the EKV model of the MOS transistor. The aim of the article is develop program to convert the BSIM model to the EKV model based on the original methodology for extracting parameters of a compact model developed at the Ecole polytechnique federale de Lausanne. In this work SPICE model for standards 0.35 microns technology from XFAB was converted. Converted EKV model well correlated with the simulation data of the BSIM model. Based on the EKV compact model, parameters were extracted for the simplified EKV model for manual calculations. In the future, the resulting models can be used in the design of low-voltage analog circuits and RF circuits.

Key words: EKV model, semiconductor device modeling, analog IC designing, MOS transistor, CAD Cadence Virtuoso.

DOI: 10.21667/1995-4565-2020-71-234-243

References

1. **Bocharov Yu. I., Gumenyuk A. S., Simakov A. B., Shevchenko P. A.** *Proektirovanie BIS klassa «sistema na kristalle»* (Design LSI class "system on a chip."), Moscow, Fizmatlit. 2010. (in Russian).
2. **Abramov I. I., Dvornikov O. V.** *Tendencii i problemy proektirovanija precizionnyh analogovyh interfejsov* (Trends and challenges in designing precision analog interfaces), *Nano i mikrosistemnaja tehnika*, 2005, no 10, pp. 23–35. (in Russian).
3. **Stefanovic D., Kayal M.** *Structured Analog CMOS Design*. Springer 2008, 290 p
4. **R. Jacob Baker.** *CMOS Circuit Design, Layout, and Simulation*. John Wiley & Sons 2019.
5. **Gavrilov S. V., Ivanova G. A., Volobuev P. S.** *Aktual'nye problemy avtomatizacii logikotopologicheskogo proektirovanija biblioteknyh jelementov i blokov SBIS dlja nanometrovnyh tehnologij. Vestnik Rjazanskogo gosudarstvennogo radiotekhnicheskogo universiteta*. 2014, no. 50-4, pp.69-77. (in Russian).
6. **Grabinski W, Tomaszewski D., Jazaeri F., Mangla A., Sallese J., Chalkiadak M.-A, Bazigos A., Matthias Bucher M.** FOSS EKV 2.6 parameter extractor. *Proceedings of 22nd International Conference Mixed Design of Integrated Circuits & Systems (MIXDES)*. 2015. pp.181-186
7. **Haritonov I. A., Chetverikov I. A., Kuzin E. Ju., Ismail-Zade M.R.** *Opređenje parametrov SPICE-modelej mopt pri nizkih temperaturah (do minus 200 C)*. *Trudy NIISI RAN*. 2017, vol. 7, no. 2 pp. 41-45, (in Russian).
8. **Andreev V. V., Stoljarov A. A., Ahmelkin D. M.** *Inzhekcionnye metody kontrolja nanorazmernykh dijelektricheskikh sloev MDP-mikroshem*. *Vestnik Rjazanskogo gosudarstvennogo radiotekhnicheskogo universiteta*. 2012, no. 42-4, pp. 20-27. (in Russian).
9. **Andreev D. V., Bondarenko G. G., Andreev V. V., Maslovsky V. M., Stolyarov A. A.** *Modification of MIS Devices by Irradiation and High-Field Electron Injection Treatments*. *Acta Phys. Pol. A*. 2017, vol. 132, no. 2, pp. 245-248.
10. **Singh K., Jain P.** *BSIM3v3 to EKV2.6 Model Parameter Extraction and Optimisation using LM algorithm on 0.18 micron Technology node*. *International Journal of Electronics and Telecommunications*. 2018, pp. 5-11
11. **Terry S. C., Rochelle, J. M., Binkley D. M., Blalock B. J., Foty D. P., Bucher M.** *Comparison of a BSIM3V and EKV MOSFET model for a 0.5µm CMOS process and implications for analog circuit design*. *IEEE Transactions on Nuclear Science*. 2003, vol. 50, issue.4, pp. 915-920.
12. **Bucher M., Lallement C., Théodoloz F., Krummenacher F.** *The EPFL-EKV MOSFET Model Equations for Simulation report*. URL: https://www.epfl.ch/labs/iclab/wp-content/uploads/2019/02/ekv_v262.pdf
13. **Enz C., Chicco F., Pezzotta A.** *Nanoscale MOSFET Modeling: Part 1: The Simplified EKV Model for the Design of Low-Power Analog Circuits*. *IEEE Solid-State Circuits Magazine*. 2017, vol.9, pp. 26-35.
14. **Krasikov M. G., Nelaev V. V., Bozhatkin O. A., Kuncevich V. V., Sjakerskij V. S.** *Jekstrakcija parametrov masshtabiruemoj modeli MOP-tranzistora*. *Problemy razrabotki perspektivnyh mikro- i nanojel-ektronnyh sistem (MJeS)*. 2010, no. 1, pp. 54-59. (in Russian).