УДК 621.3

РАЗРАБОТКА КОЛЬЦЕВОЙ ПОЛУДУПЛЕКСНОЙ СЕТИ ДЛЯ ОБМЕНА ДАННЫМИ МЕЖДУ УСТРОЙСТВАМИ В НАУЧНОЙ КОСМИЧЕСКОЙ АППАРАТУРЕ

К. И. Сухачёв, к.т.н., с.н.с. ИКП-214 Самарский университет, Самара, Россия;

orcid: 0000-0001-5272-1836; e-mail: sukhachev.ki@ssau.ru

Д. П. Григорьев, инженер-конструктор ИКП-214, аспирант, Самарский университет, Самара, Россия; orcid: 0009-0007-8413-379X; e-mail: grigorev.dp@ssau.ru

Д. А. Шестаков, инженер-конструктор ИКП-214, аспирант, Самарский университет, Самара, Россия; orcid: 0009-0000-1904-9857; e-mail: shestakov.da@ssau.ru

А. А. Артюшин, инженер-конструктор ИКП-214, магистрант, Самарский университет, Самара, Россия; orcid: 0009-0003-6118-2178; e-mail: artyushin.aa@ssau.ru

А. В. Родина, аспирант, Самарский университет, Самара, Россия;

orcid: 0009-0002-3567-7145; e-mail: rodina.angelina@gmail.com

Рассматривается архитектура кольцевой (пузырьковой) полудуплексной сети «IL net», а именно: низкий уровень сети (схемотехническая реализация линии связи, прокол обмена данными SIINT, контроллер кольцевой шины) и высокий уровень сети (кольцевое соединениt устройств). Интерфейс содержит линию связи в виде витой пары с трансформаторной развязкой между устройствами. Особенностью интерфейса является манчестерское кодирование сигнала в плане повышения помехозащищённости, адаптивная подстройка по скорости передачи данных, что снимает с разработчика необходимость привязываться к единой скорости для всех устройств, будь то это мастер или ведомый. Также интерфейс имеет поддержку пузырьковой шины, что позволяет обеспечить продолжительную работоспособность канала связи при обрыве одной из линий связи. Все пакеты содержат проверочный кадр с контрольной суммой, а кадр данных шифруется специальной битовой последовательностью для защиты от несанкционированного считывания данных между устройствами.

Ключевые слова: ПЛИС, FPGA, CPLD, микроконтроллер, полудуплексная сеть, манчестерский код, SIINT, infinite loop, FMU Core, космический аппарат, научная аппаратура.

DOI: 10.21667/1995-4565-2023-84-34-45

Введение

В научно-космической аппаратуре, рассчитанной на повышенную помехозащищённость и надёжность по передаче и обработке данных, как, например, в аппаратуре контроля поверхности космического аппарата [1, 2], необходимо использовать надёжные и в то же время скоростные интерфейсы передачи данных.

Ввиду проведения работ по разработке собственного микроконтроллерного ядра на базе ПЛИС [3] в данной статье предлагается разработка кольцевой полудуплексной сети, которая рекомендуется для применения в научной космической аппаратуре либо в любой промышленной сфере. Цель проведённой работы – получение гибкого интерфейса данных, с высокой стабильностью работы, помехозащищённостью и адаптивной подстройкой по скорости передачи данных, а также с поддержкой большого числа устройств.

Теоретическая часть

Архитектура разработанной сети «IL net» представляет собой трёхуровневую систему. Первый (низкий) уровень содержит аппаратную составляющую интерфейса, а именно: приёмник, передатчик, протокол кодирования пакета и линию связи. Второй уровень содержит контроллер кольцевой шины, обеспечивающий до 65384 равноправных узлов в одном кольце. На этом уровне происходит проверка целостности пакета, обнаружение коллизий. Третий уровень содержит пузырьковую сеть для организации сложных многосвязных сетей.

На рисунках 1 и 2 показаны схемы двух вариаций низкого уровня, а именно линии связи устройств с использованием трансформаторной гальванической развязки.



Рисунок 1 – Схема соединения устройств на базе ПЛИС с помощью трансформаторной гальванической развязки Figure 1 – Scheme connecting devices on a base FPGA with transformer galvanic isolation



Рисунок 2 – Схема соединения устройств на базе МК с помощью трансформаторной гальванической развязки Figure 2 – Scheme of devices connection on MCU base with transformer galvanic isolation

Диоды VD1, VD2 по входу используются для защиты от подмагничивания обмотки трансформатора при подаче импульсов сигнала. Таким образом, каждый диод работает на одно из двух направлений (VD1 на передачу тока в контроллер, VD2 на передачу тока из контроллера). Диоды перед микросхемами (VD3, VD4, VD5, VD6 для рисунка 1 и VD3 и VD4 для рисунка 2) служат для ограничения амплитуды напряжения, чтобы оно не превышало величину напряжения питания ПЛИС / МК. Резистор, ограничивающий ток защитных диодов, стоит на величину 4,7 кОм. После ПЛИС стоят резисторы на 3300м с нескольких выводов, чтобы распределить силу тока, приходящую на выводы микросхемы. На этих выводах реализованы выходы пары логических элементов ИСКЛ-ИЛИ, чтобы сформировать синхронный дифференциальный сигнал. У микроконтроллера используются внешние логические элементы ИСКЛ-ИЛИ, что также позволяет сформировать данный сигнал. С точки зрения логики в микроконтроллере можно было с помощью кода организовать логику ИСКЛ-ИЛИ, однако тут встал вопрос об экономии выводов ног с точки зрения буферной подкачки по току обмотки трансформаторной развязки.

На рисунке 3 показана функциональная схема самого приёмопередатчика на базе ПЛИС (либо МК).

Данный приёмопередатчик представляет собой обычный четырёхполюсник с одним входом и одним выходом. Когда пакет данных поступает на вход приёмника какого-либо ведомого устройства, через элемент AND1 и OR1 пакет проходит дальше к следующим устройствам. Таким образом, приёмопередатчик прозрачен для всех пакетов, что позволяет пропустить его через все устройства в сети, проверив тем самым целостность линии связи, или организовать широковещательный пакет. Поэтому данные, посланные мастером, ожидаются обратно (мгновенный ответ). Поскольку пакет содержит два кадра: адрес и данные, то каждое ведомое устройство проверяет по пришедшему адресу, принадлежит ли пакет ему. В случае принадлежности пакета ведомому, он его обрабатывает и отправляет этот же пакет снова по всем устройствам. Получается эхо-ответ, когда после мгновенного ответа, пакет отправлен повторно некоторым ведомым в сеть. Сам ведомый обрабатывает пакет, предвари-



тельно записав его в RAM и сравнив контрольные суммы. В случае несовпадения контрольных сумм эхо-ответ не посылается. Подробно работа интерфейса описана ниже.

Рисунок 3 – Схема интерфейса пузырьковой сети (низкий уровень) Figure 3 – Effective staffing durations (low level)

На рисунке 4 показаны временные диаграммы протокола SIINT интерфейса, который используется в пузырьковой сети «IL net».

Весь пакет состоит из трёх кадров, не считая стартового бита. Стартовый бит идентифицирует приход посылки, относительно которого считаются следующие биты. Также по этому биту определяется скорость передачи данных (частота следования импульсов), под которую подстраивается приёмопередатчик. Проще говоря, по стартовому биту детектируется временной интервал, после которого необходимо захватить данные.

Первое слово пакета из 16 бит содержит открытые данные (адрес), вторые 20 бит содержат зашифрованные данные, последние 16 бит содержат контрольную сумму. Зашифрованные данные содержат 16 бит полезной информации и 4 последних бита, характеризующих шум. Шум предназначен для шифровки данных от взлома извне. Все кадры пакета идут младшим битом вперёд. Кодирование двоичного кода выполняется по манчестерскому формату стандарта Ethernet IEEE802.3.



Рисунок 4 – Структура одного SIINT пакета Figure 4 – Structure of one SIINT package

Единственное различие в том, что код, полученный по стандарту IEEE802.3, потом преобразуется инверсно. Кодирование IEEE802.3 происходит через модуляцию длительностей импульсов. Когда в пакете идёт последовательность нулей или единиц, по линии связи поступают импульсы с малой длительностью, причём их спадающие фронты соответствуют границам временных интервалов, определённых стартовым импульсом. Когда в пакете происходит переход с единицы на ноль или наоборот, то формируется импульс большей длительности, причём момент смены фронта бита данных попадает на вершину импульса конечного кода IEEE802.3, как показано на рисунке 5. Интерфейс SIINT является самотактирующим, так как счётчик, определяющий момент захвата данных, обнуляется при каждом изменении уровня сигнала на входе, что позволяет не накапливаться ошибке расхождения и нестабильности тактовых сигналов приёмника и передатчика. СRC вычисляется без стартового бита и покрывает открытые и закрытые данные целиком.

На рисунке 5 показаны макроблоки приёмника и передатчика на базе ПЛИС. В каждом макроблоке содержится код на языке verilog, описывающий характер их работы.



Рисунок 5 – Скриншоты схематичных модулей приёмника и передатчика в схемотехническом редакторе Quartus для ПЛИС Figure 5 – Screenshots of schematics modules of a receiver and a transmitter in schematic editor Quartus for FPGA

Блок передатчика содержит сигнал тактирования (CLK), сигнал сброса (reset), шину адреса и данных (AFS, DFS), стробирующий сигнал (WEP) и шину установки скорости (t_out). Блок приёмника содержит сигнал тактирования (CLK), сигнал сброса (reset), сигнал (RX_IN), шину адреса и данных (AFS, DFS), сигнал занятости (RS_busy), сигнал отсутствия ошибки (NO ERROR) и сигнал разрешения записи (WER).

Модули приёмника и передатчика оптимизированы под любое поколение ПЛИС и не имеют привязки к архитектуре. Модуль передатчика занимает примерно 180 логических элементов, а приёмника – 300, в зависимости от поколения ПЛИС. Для подключения к модулю используется шина периферии HAVOC и сигнальный вход t – для задания параметра скорости передачи данных.

Передатчик по стартовому сигналу WEP захватывает данные параллельных шин данных, выставляет флаг занятости и начинает преобразование данных с последующей их передачей. В процессе этого формируется стартовый бит. Пока передаётся адрес, происходит шифрование данных, а пока передаются данные, вычисляется CRC. Шифрующий полином данных может быть уникальным и должен быть согласован между приёмником и передатчиком. Для CRC используется стандартный полином IBM-16.

Приёмник автоматически определяет частоту, на которой поступают данные, и осуществляет их захват, декодирование и вычисление CRC. По завершении приёма данных выставляется флаг WER, а после совпадения CRC выставляет флаг NO_ERROR. В случае если приём данных был прерван посередине пакета, после ожидания максимально доступного временного окна, модуль сбрасывается и переходит в режим готовности к приёму новых данных. В процессе приёма данных выставляется флаг занятости RS_busy.



Рисунок 6 – Скриншот моделирования одного SIINT пакета в программе Quartus для ПЛИС Figure 6 – Screenshot of onc SIINT package modeling in Quartus for FPGA

Контроллер сети низкого уровня в рамках одного узла сети объединяет и координирует работу трех модулей: приемника, передатчика и буфера ОЗУ. Контроллер сети также выполняет функцию арбитра кольцевой шины и позволяет разрешать потенциальные коллизии, кроме того, он отвечает за механизм адаптации скорости передачи по шине, осуществляет проверку целостности данных и, при необходимости, осуществляет повторную отправку поврежденных пакетов. Контроллер сети первого уровня поддерживает 2 режима передачи: атомарный (когда отправка идет по одному пакету) и потоковую передачу (когда адресат открывает прямой доступ к буферу памяти и записывает все пакеты до получения маркера остановки). Режимы передачи данных показаны на рисунках 7 и 8 соответственно.



Figure 7 – Mode of atomic transfer of data IL net

В режиме атомарной передачи пакет содержит явно указанный адрес получателя и закодированные 16 бит данных вместе с CRC пакета. Контроллер отправителя проверяет, есть ли флаг свободной шины, и если он есть, начинает передачу в указанном формате. Все узлы сети слушают линию, и каждый предыдущий ретранслирует пакет, без внесения в него изменений, а просто усиливая сигнал. При этом отправитель получает «мгновенный отклик» через задержку, связанную с распространением пакета и его многократной ретрансляцией (прием закольцованного пакета, т.е. «мгновенного отклика», должен начаться до завершения его отправки). Если один из узлов сети получает пакет с его адресом и пакет прошел проверку CRC, то контроллер приемника отправляет эхо полученных данных дальше по кольцевой шине и одновременно дает сигнал внутренним модулям узла о приеме 16 бит из сети. Отправка «эхо» пакета осуществляется на той же скорости, что и принятый пакет. В случае если пакет не нашел своего адресата или если адресат есть, но не пройдена проверка CRC, ни один из узлов сети не сгенерирует «эхо» пакет. Контроллер отправителя, увидев «мгновенный отклик», но не получив «эхо», сделает вывод, что кольцевая шина физически исправна, но адресат, возможно, получил поврежденные данные или не успевает обрабатывать последовательный сигнал на данной частоте, поэтому частота будет снижена и осуществлена повторная отправка пакета. Операция будет повторятся до указанной в качестве параметра минимальной скорости передачи данных по шине. Если «эхо» ответа так и не поступит, то можно сделать вывод, что узла сети с таким адресом не существует, контроллер выставляет флаг о неудачной отправке сообщения и прекратит попытки.

Если не получен «мгновенный отклик», контроллер выставляет флаг о физическом нарушении кольцевой шины.

Перед отправкой сообщения контроллер проверяет, свободна ли шина, флаг о доступности шины выставляется автоматически после прекращения детектирования сигнала на кольцевой шине и обязательной задержки, которая необходима для формирования потенциального эхо-сигнала от стороннего узла. После обязательной задержки выдерживается случайная пауза, позволяющая какому-то из конкурирующих узлов занять шину первым. Такой же механизм выдержки паузы контроллер осуществляет при повторной отправке пакетов в случае отсутствия эхо, так как пакет мог быть поврежден из-за коллизии в сети, которая при проверке свободной шины маловероятна, но все же может произойти. В результате одному из конкурирующих отправителей повезет больше, и он сумеет доставить пакет, остальные же выставят флаг о коллизии для принятия решения на более высоком уровне.



Рисунок 8 – Режим потоковой передачи данных IL_net Figure 8 – Mode of flow transfer of data IL_net

Для активации режима потоковой передачи в открытом поле (кадр адреса) контроллер отправителя должен отправить все нули, а в поле закрытых данных (кадр зашифрованных данных) указать адрес приемника. Все узлы сети получат пакет с нулевыми данными в открытой области и проверят поле закрытых данных на совпадения со своим адресом. Если такого совпадения нет, то узел переходит в режим ретранслятора и будет прослушивать только открытую область пакетов в ожидании снова нулевых данных, которые свидетельствовали бы о конце потоковой передачи. Узел, находящийся в режиме ретранслятора при сторонней потоковой передаче, удерживает флаг свободной шины в нуле, что запрещает ему начинать собственную передачу и как-то вмешиваться в поток.

При работе потоковой передачи данных узел приемника, получив пакет и проведя его проверку по CRC, в случае нулевых данных открытой области пакета, расшифровывает данные из закрытой области, сверяет их со своим адресом и (при совпадении) открывает доступ приемника к своему буферу памяти. При этом следующий полученный пакет будет интерпретироваться иначе: открытая область будет содержать уже непосредственно адрес ячейки буфера памяти узла приемника, а закрытая область – это будут данные, которые запишутся в указанную ячейку. При этом контроллер на каждый пакет также формирует отклик в формате эхо и проводит проверку пакетов на CRC, поэтому в случае ошибки контроллер отправителя просто отправит пакет повторно и в итоге запишет корректные данные в нужную ячейку буфера узла приемника. Для завершения потоковой передачи контроллер передатчика должен повторно отправить нули в открытой области пакета. Узел, принимавший поток, детек-

тировав нулевой адрес, запишет в нулевую ячейку буфера последние полученные в пакете данные и выйдет из режима потокового приёма, выставив флаг об обновлении буфера. При этом более высокий уровень может получить прямой доступ к буферу и считать его содержимое. Для исключения необходимости очищать буфер и считывать его целиком при завершении потокового приёма передатчику в последнем пакете с нулями в открытой области крайне рекомендуется в закрытой – передавать количество переданных пакетов. Таким образом, более высокий уровень узла приёмника потока, по завершении считав содержимое нулевой ячейки буфера, сразу будет знать глубину актуальных полученных данных. Также рекомендуется вести передачу по порядку с 1-го адреса по N. Максимальная глубина буфера 65535 слов по 16 бит. Важно, что завершающий пакет также проходит проверку CRC и получение подтверждается эхом, поэтому передатчик всегда будет знать, что все данные из потока корректно переданы и записаны, по завершению поток остановлен, а приёмник знает, сколько данных считывать из буфера.

Вопрос, связанный с возможными проблемами на стороне отправителя при потоковой передаче, например в момент зависания процесса в ЦП узла и невозможность сгенерировать завершающий пакет или передача данных в бесконечном цикле из-за ошибки в программе, решается на более высоком уровне сети. Суть решения состоит в том, что кто-то из узлов при выполнении ряда настраиваемых условий разрывает кольцевую шину на себе и после необходимой паузы генерирует стоповый пакет потоковой передачи.

На рисунке 9 показана схема архитектуры кольцевой сети «IL net». В модуле контроллера пузырьковой сети взаимодействие между кольцевыми шинами осуществляется через специальные узлы – маршрутизаторы. Передать данные от узла одной кольцевой шины узлу другой – смежной шине можно только через потоковую передачу. Для этого на маршрутизатор, объединяющий смежные шины, необходимо передать пакет, который формирует в буфере приемника потоковой передачи структуру данных, показанную на рисунке 10.



Рисунок 9 – Схема архитектуры пузырьковой сети (высокий уровень) Figure 9 – Scheme of bubble-network architecture (high level)

Отличительным признаком является содержимое нулевой ячейки буфера. При потоковой передаче внутри кольцевой шины в нулевую ячейку буфера приемника передающий узел записывает количество переданных (подлежащих считыванию) слов. Если нулевая ячейка будет пустой, то контроллер кольцевой шины не будет взаимодействовать с содержимым буфера. Однако для контроллера сетевой шины пустая нулевая ячейка будет признаком запроса передачи содержимого буфера в смежную шину. Контроллер пузырьковой сети при обнаружении признака перехода в другую кольцевую шину считывает еще три ячейки буфера 1-3, в которых содержатся указания контроллеру. После чего контроллер пузырьковой сети проверяет, свободна ли адресуемая кольцевая шина, свободен ли передатчик и формирует запрос потоковой передачи узлу с адресом считанным из второй ячейки буфера. После чего происходит потоковая передача данных из буфера, начиная с 5-й ячейки. Количество переданных слов задается данными из указаний контроллеру (3-я ячейка). После передачи всех данных, формируется завершающее слово – записывающее в буфер адресата содержимое 4-й ячейки буфера маршругизатора. 4-я ячейка записывается в нулевую ячейку буфера для возможности формирования передачи через каскад кольцевых шин. Для возможности обратного взаимодействия в данные для передачи желательно добавлять всю историю маршругизации, что позволит при необходимости сформировать ответный пакет адресату.



Рисунок 10 – Схема архитектуры пузырьковой сети (высокий уровень) Figure 10 – Scheme of bubble-network architecture (high level)

В таблицах 1 и 2 указаны параметры узла IL_net в процессе тестового развёртывания на разных семействах ПЛИС, от разных производителей (ВЗПП и INTEL соответственно).

Параметр	5576XC1T	5576XC4T	5576XC6T	5578TC024	5578TC034
Занимаемый объём	1090 (22 %)	1090 (11 %)	1090 (<1 %)	897 (6 %)	1090 (<1 %)
Максимальная скорость передачи полезных данных	1,14 Мбит/с	1,41 Мбит/с	2,37 Мбит/с	4,42 Мбит/с	1,55 Мбит/с
Задержка ретрансляции одного узла	11,0 нс	9,0 нс	7,6 нс	7,5 нс	10,3 нс
Максимальное время ожидания мгновенного ответа	20260 нс	16367 нс	9745 нс	5232 нс	14902 нс
Максимальное количество узлов кольцевой шины при работе на <u>максимальной</u> скорости передачи	1841	1818	1282	697	1446

Габлица 1 – Параметры узла IL_net на разных моделях ПЛИС ВЗПП [5]
Table 1 – Node IL_net parameters in different models of FPGA VZPP

Параметр	EPF10K100	EP2C8F	EP3C120F	EP3C16F	EP3SL340
Занимаемый объём	1090 (22%)	897 (11%)	897 (<1%)	891 (6%)	937 (<1%)
Максимальная					
скорость	1,55	4,42	8,97	11,89	19,82
передачи полезных	Мбит/с	Мбит/с	Мбит/с	Мбит/с	Мбит/с
данных					
Задержка					
ретрансляции	10,3 нс	7,5 нс	10,0 нс	5,7 нс	10,4 нс
одного узла					
Максимальное					
время ожидания	14902 нс	5232 нс	2579 нс	1945 нс	1167 нс
мгновенного	14702 110	5252 nc	2379 ne	1745 110	1107 110
ответа					
Максимальное кол-					
во узлов кольцевой					
шины при работе	1446	607	257	3/1	112
на <u>максимальной</u>	1440	077	231	571	112
скорости					
передачи					

Таблица 2 – Параметры узла IL_net на разных моделях ПЛИС INTEL Table 2 – Node IL net parameters in different models of FPGA INTEL

Практическая часть

На рисунке 11 показан опытный образец космического аппарата, в котором применён рассмотренный интерфейс передачи информации между отдельными узлами обработки и выдачи данных, а на рисунке 12 показаны осциллограммы интерфейса этого аппарата. В качестве примера интерфейс IL_net может использоваться и для сопряжения системы измерения, описанного в [6].



Рисунок 11 – Опытный образец космического аппарата и кабельной сети с использованием IL_net Figure 11 – Prototype of spacecraft and cable network using IL_net



MSO5104 Wed March 29 18:12:44 2023

Рисунок 12 – Скриншот осциллограмм интерфейса IL_net: 1 – отправка пакета от мастера всем ведомым; 2 – мгновенный ответ; 3 – эхо-ответ Figure 12 – Screenshots of waveforms of IL_net: 1 – Send package from master to all slaves; 2 – Quick response; 3 – Echo response

Осциллограммы на рисунке 12 содержат два канала – первый (вход требуемого ведомого) и второй (выход требуемого ведомого). Длина пакета составляет примерно 60 мкс (при развёртке 200 мкс), размах сигнала по амплитуде составляет около 4 В. На осциллограмме видно, что первые 3 пачки пакета (по первому каналу) пришли без эха, только с мгновенным ответом. На этом этапе демонстрируется случай несовпадения адреса ни с одним ведомым (либо сбой ведомого, который не распознал нужные ему пакеты). С каждым пришедшим пакетом его частота постепенно поднималась, чтобы поймать поддерживаемую частоту ведомого. Вследствие этой операции видно, что следующие три пакета приходят уже вместе с эхом.

Также видно, что мгновенный ответ приходит обратно к мастеру уже с первого кадра, когда пакет не успел целиком передаться. Эхо поступает следом спустя малый промежуток времени, что оповещает об успешной обработке пакета ведомым.

На рисунке 13 показан отладочный модуль с разработанным микроконтроллерным FMU ядром (по типу [3, 4]) на базе ПЛИС ALTERA Cyclone, в котором встроена аппаратная поддержка интерфейса сети IL_net, и может быть применена к любым другим устройствам обычным соединением по линии связи из экранированной витой пары, как показано на рисунке 1 и 2.

Важной особенностью кольцевой шины является то, что в сеть могут быть встроены устройства, способные работать на разной скорости. Если узлу сети приходит сигнал на высокой частоте и сам узел в принципе не в состоянии сигнал обработать, то функции ретранслятора он всё равно выполняет лишь внося регламентированную задержку распространения без искажения формы. Таким образом в шине могу быть и быстрые, и медленные устройства, и общение может происходить на любых доступных хотя бы двум узлам сети скоростям.

Когда в кольцевой шине есть быстрые и медленные узлы, возможны следующие варианты:

1. Обмен между двумя быстрыми – остальные узлы не понимают посылку и даже не в состоянии декодировать адрес, но функции ретранслятора выполняют.



Рисунок 13 – Отладочный модуль с FMU ядром на базе ПЛИС ЕРЗС16 1 – ПЛИС ЕРЗС16; 2 – стабилизатор 3,3 В; 3 – стабилизатор 1,2 В; 4 – основная ROM; 5 – резервная ROM; 6 – стабилизатор 2,5В; 7 – транзисторная сборка защиты от переполюсовки; 8 – FLASH для конфигурации ПЛИС; 9 – кварцевый генератор; 10 – часы реального времени; 11 – SRAM; 12 – HAVOC - SRAM; 13 – ROM - SRAM

Figure 13 – Debug module with FMU core based on FPGA EP3C16

1 – FPGA EP3C16; 2 – 3.3 V stabilizer; 3 – 1.2 V stabilizer; 4 - main ROM; 5 – backup ROM; 6 – 2.5V stabilizer; 7 – transistor for reverse polarity protection; 8 - FLASH for FPGA configuration; 9 – quartz oscillator;10 – real-time clock; 11 – SRAM; 12 – HAVOC - SRAM; 13 – ROM - SRAM

2. Быстрое устройство передаёт посылку медленному, что возможно на предварительно сниженной скорости, либо при повторных автоматических попытках, происходящих с понижением скорости.

3. Медленное устройство передаёт данные быстрому – передача проходит штатно, так как быстрое легко подстроится под частоту медленного по стартовому биту.

4. Общаются два медленных узла – все остальные устройства работают штатно, декодируя адрес и ретранслируя мгновенные ответы дальше по кольцевой шине.

Заключение

Результатом данной работы является разработанная модель кольцевой сети IL_net, подстраивающаяся по скорости передачи данных и использующего кольцевую архитектуру связи между устройствами для повышения стабильности работы при выходе из строя какихлибо линий связи. Интерфейс использует манчестерское кодирование для повышенной помехозащищённости и шифрование данных в виде 4-битного шума для защиты от несанкционированного чтения данных.

Библиографический список

1. Григорьев Д. П. Система контроля поверхности космического аппарата // Международная молодёжная научная конференция «XVI Королёвские чтения», посвящённая 60-летию полёта в космос Ю. А. Гагарина. 2021. Т.1. С. 355-357.

2. Воронов К. Е., Телегин А. М., Рязанов Д. М. Концепция прибора на основе сеточной конструкции для измерения параметров микрометеороидов // Прикладная физика. 2021. № 4. 73-80 с.

3. Сухачёв К. И., Воронов К. Е., Дорофеев А. С. Разработка высокопроизводительной вычислительной системы на базе IP-ядра для космической научной аппаратуры // Научное приборостроение. 2022. Т. 32. С. 88-106.

4. Haskell R.E., Hanna D.M. A VHDL--Forth Core for FPGAs // Microprocessors and Microsystems. 2004, vol. 28, is. 3, pp. 115-125.

5. АО «Воронежский завод полупроводниковых приборов» (ВЗПП-С). Каталог изделий 2020 г. URL: http://www.vzpp-s.ru/production/catalog.pdf (дата обращения: 01.07.2022).

6. Калаев М. П., Родина А. В., Телегин А. М. Исследование изменения характеристик солнечных батарей при воздействии факторов космического пространства // Приборы и техника эксперимента. 2022. № 6. С. 99-105.

UDC 621.3

DEVELOPMENT OF A RING HALF-DUPLEX NETWORK FOR DATA EXCHANGE BETWEEN DEVICES IN SCIENTIFIC SPACE EQUIPMENT

K. I. Sukachev, Ph.D. (Tech.), senior researcher IKP-214 Samara University, Samara, Russia; orcid: 0000-0001-5272-1836; e-mail: sukhachev.ki@ssau.ru
D. P. Grigoriev, engineer IKP-214, postgraduate student, Samara University, Samara, Russia; orcid: 0009-0007-8413-379X; e-mail: grigorev.dp@ssau.ru
D. A. Shestakov, engineer IKP-214, postgraduate student, Samara University, Samara, Russia; orcid: 0009-0000-1904-98574; e-mail: shestakov.da@ssau.ru
A. A. Artyushin, engineer IKP-214, master's student, Samara University, Samara, Russia; orcid: 0009-0003-6118-2178; e-mail: artyushin.aa@ssau.ru
A. V. Rodina, post-graduate student, Samara University, Samara, Russia; orcid: 0009-0002-3567-7145; e-mail: rodina.angelina@gmail.com

The architecture of the ring (bubble) half-duplex network «IL net» is considered, namely: low network level (circuit implementation of communication line, SIINT data exchange puncture, ring bus controller) and high network level (ring connection of devices). The interface contains a communication line in the form of twisted pair, with transformer isolation between the devices. A feature of the interface is the Manchester signal encoding in terms of increasing noise immunity, adaptive adjustment of data transfer rate, which removes the need for the developer to be tied to single speed for all devices, whether it is a master or a slave. The interface also has bubble bus support, which allows for long-term operability of the communication channel when one of the communication lines breaks. All packets contain a verification frame with a checksum, and data frame is encrypted with a special bit sequence to protect against unauthorized data reading between devices.

Key words: FPGA, CPLD, Microcontroller, Half-duplex Network, Manchester Code, SAINT, infinite loop, FMU Core, Spacecraft, Scientific Equipment.

DOI: 10.21667/1995-4565-2023-84-34-45

References

1. **Grigorev D. P.** Sistema kontrolya poverhnosti kosmicheskogo apparata. *Mejdunarodnaya molodejnaya nauchnaya konferenciya «XVI Korolevskie chteniya»*, posvyaschennaya 60-letiyu poleta v kosmos Yu. A. Gagarina. 2021, vol. 1, pp. 355-357. (in Russian).

2. Voronov K. E., Telegin A. M., Ryazanov D. M. Koncepciya pribora na osnove setochnoi konstrukcii dlya izmereniya parametrov mikrometeoroidov. *Prikladnaya fizika*. 2021, no. 4, pp. 73-80. (in Russian).

3. Suhachev K. I., Voronov K. E., Dorofeev A. S. Razrabotka visokoproizvoditelnoi vichislitelnoi sistemi na baze IP-yadra dlya kosmicheskoi nauchnoi apparaturi. *Nauchnoe priborostroenie*. 2022, vol. 32, pp. 88 106. (in Russian).

4. Haskell R. E., Hanna D. M. A VHDL--Forth Core for FPGAs. *Microprocessors and Microsystems*. 2004, vol. 28, is. 3, pp. 115-125.

5. AO «Voronejskii zavod poluprovodnikovih priborov» (VZPP-S). Katalog izdelii 2020 g. URL: http://www.vzpp-s.ru/production/catalog.pdf (data obrascheniya: 01.07.2022).

6. Kalaev M. P., Rodina A. V., Telegin A. M. Issledovanie izmeneniya harakteristik solnechnih batarei pri vozdeistvii faktorov kosmicheskogo prostranstva. *Pribori i tehnika eksperimenta*. 2022, no. 6, pp. 99-105. (in Russian).