

УДК 004.383.3

РЕАЛИЗАЦИЯ УЗЛОВ НА ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМАХ РЕКОНФИГУРИРУЕМОЙ ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЫ

А. И. Мартышкин, к.т.н., доцент, заведующий кафедрой «Программирование» ПензГТУ, Пенза, Россия;
orcid.org/0000-0002-3358-4394, e-mail: mai@penzgtu.ru

Статья посвящена экспериментальному исследованию реконфигурируемой вычислительной системы на базе программируемых логических интегральных схем. Основная цель исследования заключается в проведении экспериментов по управлению реконфигурируемыми узлами данной вычислительной системы. В статье описывается реконфигурируемая вычислительная система, основанная на четырех реконфигурируемых процессорах, реализованных на базе программируемых логических интегральных схем. Для решения проблем, связанных с потерей производительности при программной реализации функции диспетчеризации задач, предлагается ее аппаратная реализация. Это позволяет повысить производительность и надежность операционной системы, так как ответственность за выполнение программных функций снимается с процессорных узлов. В статье также рассматривается моделирование управляющих узлов, включая диспетчер задач реконфигурируемой вычислительной системы, принимая во внимание современную элементную базу. Для проверки работоспособности алгоритма и анализа временных диаграмм проведен эксперимент на опытном образце реконфигурируемой вычислительной системы с применением цифрового логического анализатора, который обеспечил получение подробной информации о сигналах в системе и среде моделирования ModelSim-Altera 10.0с, которая позволила получить точные и достоверные результаты. Схема печатной платы, разработанная автором, представлена для создания опытного образца реконфигурируемой вычислительной системы. Она была спроектирована с учетом современных требований для обеспечения стабильной и эффективной работы системы. Таким образом, проведенный эксперимент и представленная схема печатной платы позволили получить точные результаты анализа временных диаграмм реконфигурируемой вычислительной системы, а также создать опытный образец, который отвечает современным требованиям и обладает высокой стабильностью и эффективностью работы. По результатам эксперимента был сделан вывод о работоспособности предлагаемого алгоритма работы диспетчера задач. В заключении статьи представлены основные выводы и рекомендации по дальнейшему развитию данного направления исследований.

Ключевые слова: аппаратная реализация, быстроедействие, диспетчер задач, операционная система, производительность, реконфигурируемая вычислительная система, синхронизация, ПЛИС.

DOI: 10.21667/1995-4565-2023-85-36-43

Введение

До настоящего времени методы и средства, используемые для улучшения производительности вычислительных систем (ВС), включая увеличение плотности транзисторов на кристалле и расширение объемов кэш-памяти процессоров (ЦП), были основными способами повышения производительности и возможность выполнять больше одной команды одновременно и постепенно достигали своих пределов [1]. В то же время, для того чтобы продолжать увеличивать производительность высокопроизводительных вычислительных систем (ВВС), необходимо искать новые подходы, не ограничиваясь только технологическими решениями и схемотехникой ЦП. При подобной ситуации следует рассмотреть возможность изменения архитектуры ВС. Одним из возможных и доступных вариантов является использование реконфигурируемых вычислительных систем (РВС) [2-4]. Вместо того, чтобы опираться на увеличение частоты процессора и числа ядер, РВС предлагает дополнительный

уровень гибкости и настраиваемости, который позволяет пользователю адаптировать ВС к конкретным задачам. РВС может быть сконфигурирована для оптимизации производительности и энергопотребления, а также для удовлетворения требований конкретных приложений. Кроме того, РВС может быть переконфигурирована во время выполнения задачи для улучшения производительности или снижения энергопотребления в зависимости от текущих потребностей.

Теоретическая часть

Одной из ключевых характеристик РВС является ее способность реконфигурироваться «на лету» в реальном времени [5, 6]. Это позволяет быстро изменять архитектуру системы для удовлетворения различных требований приложений, таких как машинное обучение, обработка сигналов, обработка изображений и других. Вместо того, чтобы создавать специализированные ВС для каждого типа приложений, РВС может быть настроена для выполнения широкого спектра задач, что делает ее более универсальной и экономически эффективной. Таким образом, использование РВС может стать эффективным способом повышения производительности ВС [7]. Ее гибкость и настраиваемость позволяют пользователю оптимизировать работу системы для различных задач, а ее способность к реконфигурации в реальном времени делает ее более универсальной и адаптивной. Кроме того, использование РВС может снизить затраты на создание специализированных ВС для каждого типа приложений.

Однако применение РВС также имеет свои ограничения и сложности. Разработка и конфигурация РВС может быть более сложной и требовательной к ресурсам процессора, чем традиционные ВС. Кроме того, использование РВС требует специальных знаний и навыков для ее эффективной настройки и управления. Тем не менее, РВС может быть полезной альтернативой для повышения производительности ВС в условиях, когда традиционные методы и средства достигают своих пределов. Перед использованием РВС необходимо оценить ее преимущества и ограничения, чтобы правильно подобрать и настроить систему для конкретных задач. В современных ВС достижение более высокой производительности обычно связано с увеличением количества процессоров, работающих в одной системе. Однако при работе с многопроцессорной РВС возникает проблема синхронизации процессов [8], которая может существенно влиять на производительность ВС.

В традиционных системах с одним процессором синхронизация процессов может быть реализована программными средствами без заметного влияния на производительность. Однако в РВС с несколькими процессорами такой подход может привести к значительному увеличению времени выполнения при синхронизации процессов. Кроме того, затраты времени на синхронизацию могут значительно отличаться в зависимости от характеристик конкретной программы. Данная проблема связана с последовательностью элементов программы, связанных с синхронизацией процессов, и в соответствии с законом Амдала, может стать фактором, ограничивающим производительность РВС [9]. Для эффективного решения проблемы, связанной со снижением производительности РВС в результате временных потерь при синхронизации процессов, возможным решением может стать аппаратная реализация функций планирования и диспетчеризации задач. Такое решение значительно сократит временные потери при синхронизации и соответственно повысит общую производительность ВС.

Новейшие достижения в области микроэлектронных технологий открывают уникальные перспективы для применения архитектурных решений, способных значительно повысить производительность ВВС. Сегодня одним из наиболее многообещающих направлений в IT сфере является разработка и внедрение РВС [10], активно применяемых в различных отраслях промышленности, науки и техники, использующих в своем составе для создания гибких и масштабируемых систем ПЛИС вместо традиционных процессорных узлов [11]. В частности, аппаратный диспетчер задач (ДЗ) [12] является важной частью РВС и может быть реализован с использованием ПЛИС. В данном исследовании предполагается, что РВС состоит из четырех реконфигурируемых процессоров [13], которые предназначены для обработки сиг-

налов. Становится возможным создание гибких и эффективных систем, способных обрабатывать обширные объемы данных и в режиме реального времени выполнять сложные вычисления [14]. Аппаратный ДЗ является ключевым элементом РВС, который обеспечивает эффективную работу системы и позволяет достичь высокой производительности.

Использование микроэлектронных технологий открывает новые возможности для создания ВВС, особенно в области РВС. В представляемом исследовании рассматривается создание РВС на основе ПЛИС *Cyclone 4 EP4C10E22I7N*. В настоящей статье представляется новая РВС, основанная на 5 ПЛИС, 80 процентов которых (4 ПЛИС) задействованы для реализации процессорных ядер *Nios II*, еще на одной ПЛИС синтезируются системные узлы РВС. Для хранения прошивочного файла с конфигурацией каждой ПЛИС использованы 5 ПЗУ *EPCS4SI8N* и 4 модуля памяти *SDRAM MT48LC16M16A2*. В процессе проведения исследований разработана структурная схема (рисунок 1, а) и модель платы (рисунок 1, б) проектируемой РВС, а также реализован опытный образец, представленный на рисунке 2.

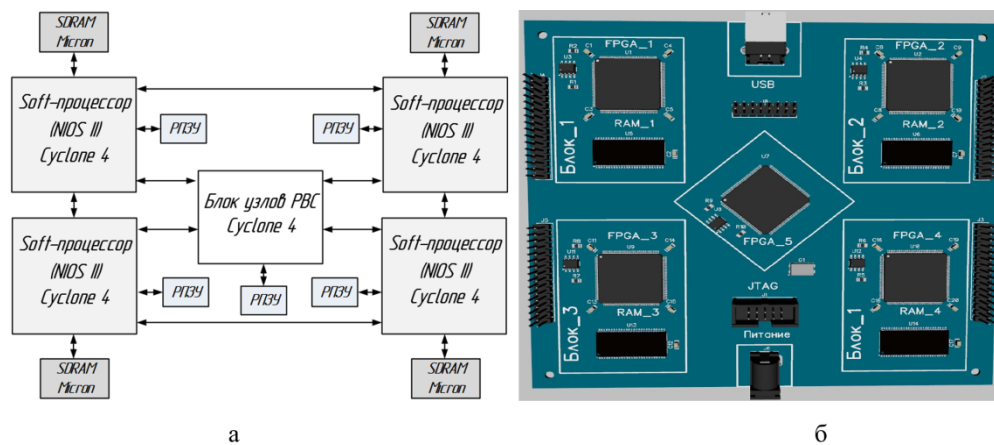


Рисунок 1 – Структурная схема (а) и модель платы (б) исследуемой РВС
Figure 1 – Block diagram (a) and board model (b) of investigated RCS

РВС представляет собой многоцелевую платформу, которая может быть адаптирована под различные классы задач, в том числе задач центров обработки данных. Следует отметить, что данная РВС может быть использована в различных областях, таких как обработка сигналов, машинное зрение и многих других. РВС обладает высокой гибкостью и производительностью, что позволяет ей успешно справляться с большинством задач, требующих быстрой обработки данных. Наш подход к проектированию ВС может быть применен для создания аналогичных систем в других областях, где требуются высокая производительность и гибкость системы.

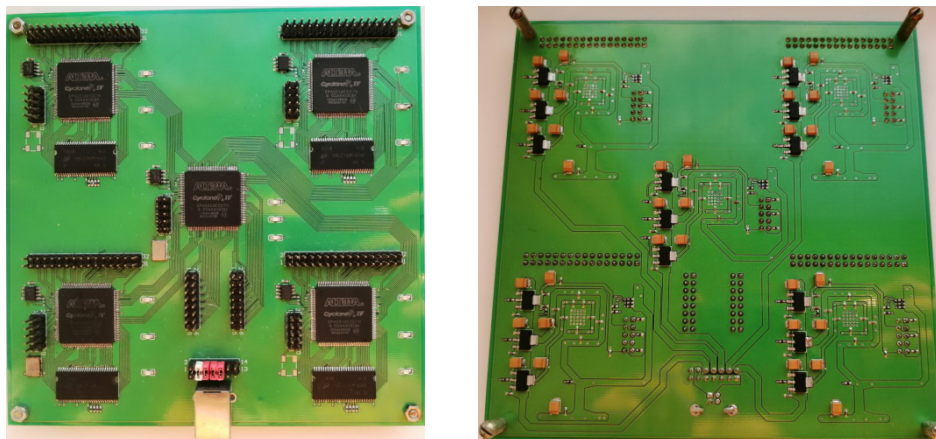


Рисунок 2 – Готовый образец опытной РВС
Figure 2 – Finished sample of prototype RCS

Рассмотрим вопрос о том, как реализовать аппаратную часть ДЗ в данном исследовании. Для этого на базе [15], где проводилось исследование различных типов ДЗ на математических моделях, были разработаны алгоритм на языке *VHDL* и структурная схема ДЗ в системе автоматизированного проектирования *Quartus II* (рисунок 3).

При этом при проектировании аппаратного ДЗ учитывались последние достижения в области микроэлектронных технологий, чтобы обеспечить максимальную производительность и надежность работы ДЗ. Наша работа вносит вклад в область исследования, представляя новые и инновационные методы реализации ДЗ на базе современных микроэлектронных технологий.

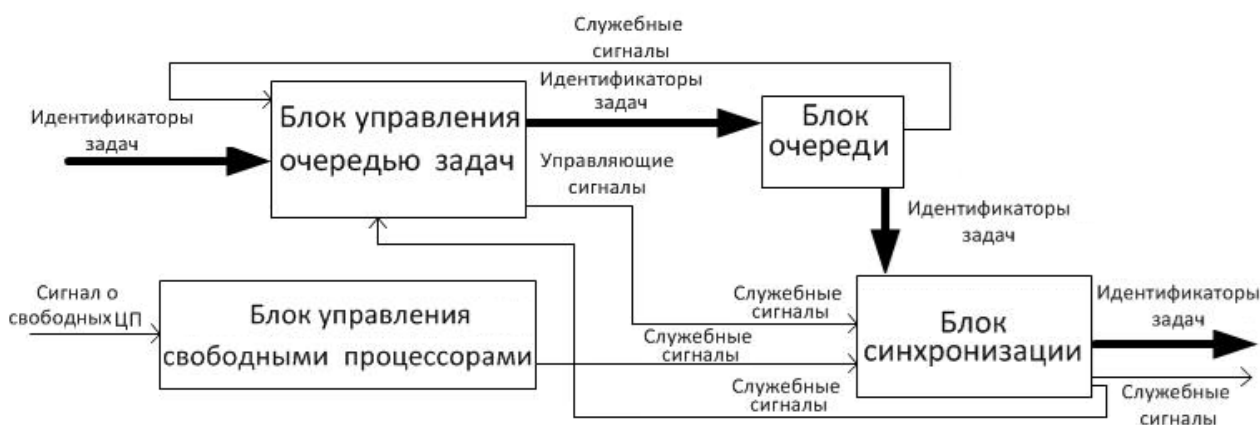


Рисунок 3 – Структурная схема ДЗ
Figure 3 – Structure diagram of the Task Manager

Экспериментальные исследования

Для исследования модели опытного образца РВС использованы блоки имитации четырех процессоров и блок генератора задач. Это позволило провести тестирование алгоритма работы ДЗ и оценить его производительность в условиях высокой нагрузки. Из проведенных тестов можно сделать вывод о способности ДЗ обрабатывать входящий поток задач без перегрузки в течение любого временного промежутка, а также потенциально справляться с еще более интенсивным потоком задач. Представленный алгоритм и реализация ДЗ успешно решают проблемы временных потерь при распределении и синхронизации процессов внутри РВС. Этот подход может быть применен не только в данном проекте, но и в других ВС, где необходимо повышение производительности и эффективности работы системы. Для моделирования использовано программное обеспечение *ModelSim-Altera 10.0c*. При исследовании получены временные диаграммы работы системы (рисунок 4), подтверждающие передачу идентификатора задачи *A255* для обработки на процессоре 4, который выставил сигнал *tp4* о принятии задачи на обработку. Однако процессор 4 был занят, поэтому следующая задача *A25B* была обработана процессором 3, который в свою очередь сгенерировал сигнал *tp3* о том, что задача поступила на обслуживание. Результаты проведенных экспериментов говорят о том, что изменение уровня приоритета от процессора 4 к процессору 1 определяет порядок обработки поступающих в РВС задач.

Кроме того, отображающие зависимость электронных сигналов в различные моменты времени диаграммы с опытной РВС получены с использованием логического анализатора АКПП-9101 в режиме реального времени (рисунок 5).

Анализ результатов эксперимента позволяет сделать вывод о работоспособности алгоритма диспетчера, что подтверждается временными измерениями с использованием логического анализатора АКПП-9101 продолжительности выполнения операций процессором, составляющей 256 тактов (в среде *ModelSim-Altera* эти такты соответствуют значению 2560 нс).



Рисунок 4 – Полученные временные диаграммы в среде ModelSim-Altera 10.0c
 Figure 4 – Obtained temporal diagrams in ModelSim-Altera 10.0c program

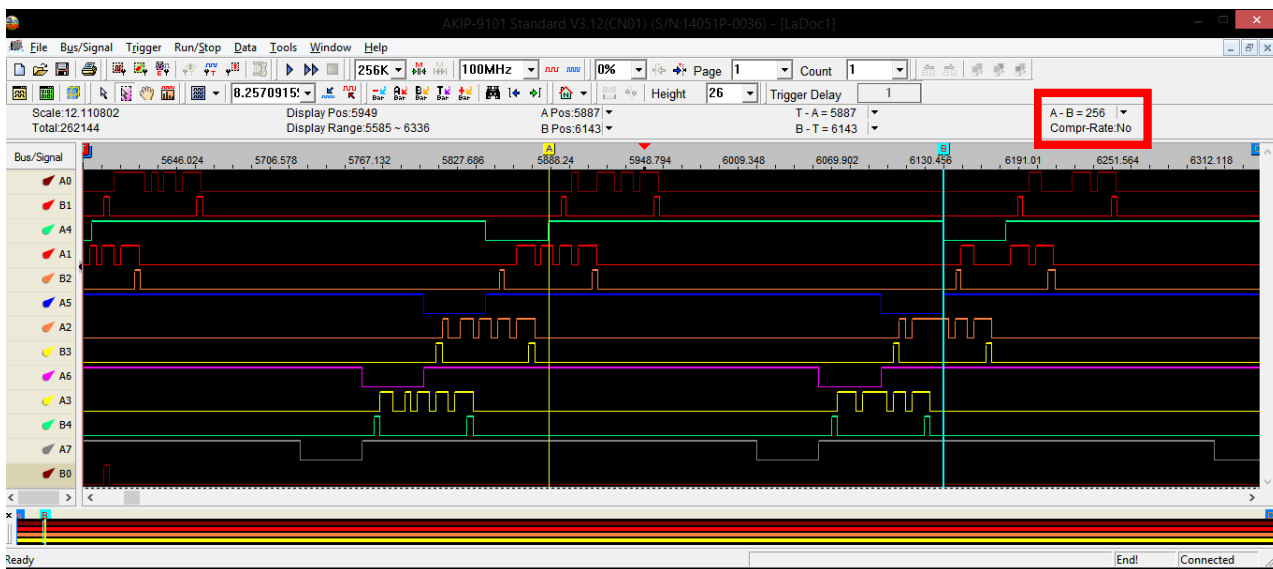


Рисунок 5 – Полученные временные диаграммы на опытной РВС в режиме реального времени
 Figure 5 – Obtained time charts on experimental real-time RCS

Заключение

В настоящей статье описывается структурная схема ДЗ и принципы его работы, основанные на предложенной ранее модели ДЗ, а также проект на языке VHDL, который описывает блоки ДЗ. Результаты исследования демонстрируют, что основной функционал ДЗ, был успешно отлажен и протестирован. По результатам проведенных экспериментов было подтверждено, что ДЗ действительно способен обрабатывать и назначать задачи, поступающие в

любой момент времени, не приводя к перегрузке РВС. Кроме того, аппаратная реализация ДЗ была успешно протестирована на более интенсивных потоках задач и продемонстрировала высокую эффективность. Значительный вклад в достижение высоких показателей эффективности ДЗ внес разработанный алгоритм и аппаратная реализация, которые решают проблемы временных потерь, связанных с распределением и синхронизацией процессов в РВС, которые могут использоваться в различных областях, включая науку, инженерию, финансы, медицину и другие отрасли, где необходимо обрабатывать большие объемы данных и выполнять сложные вычисления в реальном времени. Результаты данного исследования могут быть полезны для создания эффективных ВС и повышения производительности систем в широком диапазоне функционирующих на них приложений.

«Исследование выполнено за счет гранта Российского научного фонда № 21-71-00110, <https://rscf.ru/project/21-71-00110/>»

Библиографический список

1. Denning Peter J., Lewis Ted G. Exponential Laws of Computing Growth. Communications of the ACM. 2017, vol. 60, no. 1, pp. 54-65.
2. Гузик В. Ф., Каляев И. А., Левин И. И. Реконфигурируемые вычислительные системы. Таганрог: Южный федеральный университет, 2016. 472 с.
3. Малолетков В. А. Реконфигурируемый модуль на базе ПЛИС с интерфейсом PCI-Express // Современные информационные технологии. 2010. № 11. С. 168-170.
4. Румянцев А. С. Организация и инструментальные средства реконфигурируемых вычислительных систем // Научно-технический вестник информационных технологий, механики и оптики. 2012. № 4. С. 79-84.
5. Мартышкин А. И., Мартенс-Атюшев Д. С., Маркин Е. И. К вопросу построения реконфигурируемой вычислительной системы на базе ПЛИС для цифровой обработки сигнала // Современные инновационные технологии подготовки инженерных кадров для горной промышленности и транспорта. 2017. № 4. С. 433-439.
6. Платунов А. Е. Встраиваемые системы управления // Control Engineering Россия. 2013. Т. 43. № 1. С. 16-24.
7. Таненбаум Э., Остин Т. Архитектура компьютера. 6-е изд. СПб.: Питер, 2013. 816 с.
8. Таненбаум Э., Бос Х. Современные операционные системы. СПб.: Питер, 2015. 1120 с.
9. Орлов С. А., Цилькер Б. Я. Организация ЭВМ и систем: учебник для вузов. 3-е изд. Стандарт третьего поколения. СПб.: Питер, 2014. 688 с.
10. Мартышкин А. И. Обзор современных отечественных реконфигурируемых вычислительных систем / А.И. Мартышкин, Д.С. Мартенс-Атюшев // Современные методы и средства обработки пространственно-временных сигналов: сборник статей XV Всероссийской научно-технической конференции, 2017. С. 65-69.
11. Левин И. И., Дордопуло А. И., Каляев И. А., Гудков В. А. Высокопроизводительные реконфигурируемые вычислительные системы на основе ПЛИС VIRTEX-7 // Параллельные вычислительные технологии (ПАВТ'2014): труды Международной научной конференции, 2014. С. 131-139.
12. Мартышкин А. И., Мартенс-Атюшев Д. С. Исследование узлов реконфигурируемой вычислительной системы аппаратными средствами // Современные методы и средства обработки пространственно-временных сигналов: Сборник статей XVI Всероссийской научно-технической конференции. Под редакцией И.И. Сальникова, 2018. С. 91-95.
13. Nios II Processor Reference Guide // Компания Intel [официальный сайт] URL: <https://www.intel.com/content/www/us/en/docs/programmable/683836/current/introduction.html> (дата обращения 01.04.2023)
14. Jozwiak L., Nedjah N., Figueroa M. Modern development methods and tools for embedded reconfigurable systems: A survey // Integration, the VLSI J. 2010, vol. 43, no. 1, pp. 1-33.
15. Мартышкин А. И. Разработка и анализ математической модели диспетчера задач реконфигурируемой вычислительной системы // Современные наукоемкие технологии. 2022. № 3. С. 73-79.

UDC 004.383.3

POSSIBLE HARDWARE IMPLEMENTATION ON PROGRAMMABLE LOGIC INTEGRATED CIRCUITS OF NODES IN RECONFIGURABLE COMPUTER SYSTEM

A. I. Martyshkin, Ph.D. (Tech.), Associate Professor, Head of Programming Department, PSTU, Penza, Russia;
orcid.org/0000-0002-3358-4394, e-mail: mai@penzgtu.ru

This paper is devoted to an experimental study of a reconfigurable field-programmable gate array based computing system. The main aim of the study is to conduct experiments on the control of reconfigurable nodes of this computing system. The paper describes a reconfigurable computing system based on four reconfigurable processors implemented on field-programmable gate array. To solve the problems associated with loss of performance in software implementation of task scheduling function, its hardware implementation is proposed. This improves performance and reliability of operating system, as the responsibility for software functions is removed from processor nodes. The paper also considers modeling of control nodes, including task manager of a reconfigurable computing system, taking into account modern element base. In order to verify the efficiency of the algorithm and the analysis of time diagrams an experiment was carried out on a prototype of a reconfigurable computing system using digital logic analyser which provided detailed information on the signals in a system and ModelSim-Altera 10.0c simulation environment which gave accurate and reliable results. The printed circuit board schematic developed by the author is presented to create a prototype of a reconfigurable computing system. It has been designed with modern requirements in mind, ensuring stable and efficient operation of the system. Thus, the experiment and the presented circuit board scheme allowed to get accurate results of the analysis of time diagrams of reconfigurable computer system, as well as to create a prototype which meets current requirements and has high stability and efficiency. According to experimental results, it was concluded that the proposed algorithm works as a task manager. In the final part of the article main conclusions and recommendations for further development of this scientific direction are presented.

Keywords: hardware implementation, speed, task manager, operating system, performance, reconfigurable computing system, synchronisation, FPGA.

DOI: 10.21667/1995-4565-2023-85-36-43

References

1. **Denning Peter J., Lewis Ted G.** Exponential Laws of Computing Growth. Communications of the ACM. 2017, vol. 60, no. 1, pp. 54-65.
2. **Guzik V. F., Kalyaev I. A., Levin I. I.** Rekonfiguriruemye vychislitel'nye sistemy (Reconfigurable computing systems). Taganrog: Southern Federal University, 2016. 472 p. (in Russian).
3. **Maloletkov V. A.** Rekonfiguriruemyy modul' na baze PLIS s interfejsom PCI-Express. (Reconfigurable FPGA-based module with PCI-Express interface). *Sovremennye informacionnye tehnologii*. 2010, no. 11, pp. 168-170. (in Russian).
4. **Rumyantsev A. C.** Organizacija i instrumental'nye sredstva rekonfiguriruemyh vychislitel'nyh sistem. (Organization and tools for reconfigurable computing systems). *Nauchno-tehnicheskij vestnik informacionnyh tehnologij, mehaniki i optiki*. 2012, no. 4, pp. 79-84. (in Russian).
5. **Martyshekin A. I., Martens-Atyushev D. S., Markin E. I.** K voprosu postroenija rekonfiguriruemoj vychislitel'noj sistemy na baze PLIS dlja cifro-voj obrabotki signala. (To the question of building a reconfigurable computing system based on FPGA for digital signal processing), *Sovremennye innovacionnye tehnologii podgotovki inzhenernyh kad-rov dlja gornoj promyshlennosti i transporta*. 2017, no. 4, pp. 433-439. (in Russian).
6. **Platunov A. E.** Vstraivaemye sistemy upravlenija. (Embedded control systems). *Control Engineering Rossija*. 2013, vol. 43, no. 1, pp. 16-24. (in Russian).

7. **Tanenbaum E., Austin T.** Arhitektura komp'jutera. (Computer Architecture), 6-e izd. SPb.: Piter, 2013. 816 p.
8. **Tanenbaum E., Bos H.** Sovremennye operacionnye sistemy. (Modern Operating Systems), SPb.: Piter, 2015. 1120 p.
9. **Orlov S. A., Zilker B. Ya.** *Organizacija JeVM i sistem: Uchebnik dlja vuzov.* (Organization of Computers and Systems: Textbook for Higher Education Institutions), 3-e izd. Standart tret'ego pokolenija. SPb.: Piter, 2014. 688 p.
10. **Martyshkin A. И., Martens-Atushev D. S.** Obzor sovremennyh otechestvennyh rekonfiguriruemyh vychislitel'nyh system. (Overview of Modern Domestic Reconfigurable Computing Systems), *Sovremennye metody i sredstva obrabotki prostranstvenno-vremennyh signalov: Sbornik statej XV Vserossijskoj nauchno-tehnicheskoi konferencii*, 2017, pp. 65-69. (in Russian).
11. **Levin I. I., Dordopulo A. I., Kalyaev I. A., Gudkov V. A.** Vysokoproizvoditel'nye rekonfiguriruemye vychislitel'nye sistemy na osnove PLIS VIRTEX-7. (High-performance reconfigurable computing systems based on VIRTEX-7 FPGA), *Parallel'nye vychislitel'nye tehnologii (PAVT'2014): trudy Mezhdunarodnoj nauchnoj konferencii*, 2014, pp. 131-139. (in Russian).
12. **Martyshkin A. I., Martens-Atushev D. S.** Issledovanie uzlov rekonfiguriruemoi vychislitel'noj sistemy apparatnymi sredstvami. (The study of nodes of reconfigurable computing system by hardware), *Sovremennye metody i sredstva obrabotki prostranstvenno-vremennyh signalov: Sbornik statej XVI Vserossijskoj nauchno-tehnicheskoi konferencii. Pod redakciej I.I. Sal'nikova*, 2018. pp. 91-95. (in Russian).
13. **Nios II Processor Reference Guide.** Kompanija Intel [oficial'nyj sajt] URL: <https://www.intel.com/content/www/us/en/docs/programmable/683836/current/introduction.html> (дата обращения 01.04.2023)
14. **Jozwiak L., Nedjah N., Figueroa M.** Modern development methods and tools for embedded reconfigurable systems: A survey. *Integration, the VLSI J.* 2010, vol. 43, no. 1, pp. 1-33.
15. **Martyshkin A. И.** Razrabotka i analiz matematicheskoi modeli dispetchera zadach rekonfiguriruemoi vychislitel'noj sistemy. (Development and analysis of a mathematical model of the task manager of a reconfigurable computing system). *Sovremennye naukoemkie tehnologii.* 2022, no. 3, pp. 73-79. (in Russian).