

УДК 621.382

МЕТОД ЭЛЕКТРИЧЕСКОЙ ПОДГОНКИ ИМС НА ОСНОВЕ ПЕРЕЖИГАЕМЫХ ПОЛИКРЕМНИЕВЫХ ПЕРЕМЫЧЕК

М. К. Бурухин, инженер-конструктор АО «ОКБ Микроэлектроники», Калуга, Россия;
orcid.org/0009-0002-9707-5406, e-mail: maxburuxin@gmail.com

С. В. Рыжов, инженер-конструктор 3 категории АО «ОКБ Микроэлектроники», Калуга, Россия;
orcid.org/0000-0001-5330-2537, e-mail: sergey.righov@gmail.com

Д. В. Андреев, к.т.н., доцент Калужского филиала МГТУ имени Н.Э. Баумана, Калуга, Россия;
orcid.org/0000-0001-9080-1028, e-mail: dmitrii_andreev@bmstu.ru

М. В. Романов, начальник отдела АО «ОКБ Микроэлектроники», Калуга, Россия;
orcid.org/0000-0003-1898-5939, e-mail: romanov_mv@okbmel.ru

В данной статье представлен подробный обзор метода подгонки интегральных микросхем (ИМС) с использованием поликремниевых пережигаемых перемычек. Целью работы является разработка и применение модифицированного метода подгонки с использованием пережигаемых перемычек в схеме усилителя опорного напряжения. Исследовано применение подгонки для достижения необходимого значения опорного напряжения в схеме с операционным усилителем, и представлены соответствующие расчёты. В рамках исследования были произведены экспериментальные испытания с тестовыми модулями, на которых был отработан режим пережигания перемычек и измерено их сопротивление. Результаты исследования подтвердили эффективность применения поликремниевых пережигаемых перемычек в процессе подгонки. Для облегчения выполнения вычислений и анализа было разработано специальное приложение-калькулятор. Кроме того, приведены результаты моделирования процесса подгонки при различных исходных значениях параметров с использованием метода Монте-Карло. Полученные результаты подтверждают эффективность предложенного метода и его применимость в практических условиях.

Ключевые слова: технологический разброс параметров, подгонка ИМС, поликремниевые перемычки, Sutica DE.

DOI: 10.21667/1995-4565-2023-86-186-195

Введение

При производстве интегральных микросхем неизбежен технологический разброс параметров интегральных элементов [1]. Отклонение электрических параметров элементов приводит к отклонению параметров или полной неработоспособности ИМС [1, 2]. Привести величины параметров ИМС к номинальным возможно за счёт внедрения операции подгонки в процесс производства. По способу реализации различают лазерную и электрическую подгонки. Суть метода лазерной подгонки заключается в испарении резистивного материала плёночного резистора мощным коротким импульсом лазерного излучения. В процессе подгонки сопротивление резистора увеличивается, поэтому значение исходного сопротивления должно быть меньше целевого. Вопросы исследования характеристик резисторов при подгонке с различными формами реза рассмотрены в работах [3, 4, 5]. Имеется работа, в которой исследована возможность лазерной подгонки поликремниевых резисторов [6], но на практике такой метод применяется редко.

Вопросы применения электрической подгонки затронуты в работах [7, 8]. В [7] исследован блок контроля усиления, в котором применяется схема цифровой подгонки сопротивления нагрузки. Подгонка осуществляется за счёт управления затвором ключей, образующих перемычку, выключающую резистор из цепи. Применение транзисторных ключей позволяет осуществлять коррекцию значения сопротивления неоднократно. Иной подход применён в работе [8], где рассматривается разработка источника опорного напряжения и представлен

способ электрической подгонки, позволяющий добиться низкого температурного коэффициента ($3,1 \text{ ppm}/^\circ\text{C}$). Метод подгонки источника опорного напряжения заключается в использовании цепочки резисторов, параллельно-замкнутых с помощью перемычек. Ряд сопротивлений выбран таким образом, чтобы суммарное сопротивление могло возрасти на 16 % с шагом в 1 %. Для осуществления подгонки перемычки пережигаются до тех пор, пока не будет достигнут нужный результат. Недостатком работы [8] можно назвать использование металлизированных пережигаемых перемычек. Использование металлических перемычек нежелательно, так как при подгонке перемычка может пережигаться не полностью и оказывать влияние на долговременную стабильность или привести к внезапному отказу [9].

Целью работы является модификация метода подгонки, предложенного в [8], с использованием технологии пережигаемых поликремниевых перемычек.

Описание разработанного метода

Разветвлённая цепь резисторов, описанная в работе [8], позволяет выполнить подгонку с некоторым шагом, который был выбран при моделировании. Нужный номинал резистивной цепочки достигается путём параллельного соединения входящих в неё резисторов. Важно учесть шунтирующее сопротивление перемычки, которое составляет приблизительно 100 Ом (таблица 1).

Подгонка с помощью перемычек выбрана исходя из соображений упрощения технологического процесса подгонки и как следствие его удешевления. Для подгонки разработанным методом требуется источник короткого импульса тока, в отличие от более дорогостоящего метода лазерной подгонки, где применяется лазерное оборудование.

Производство поликремниевых перемычек на кристаллах ИМС может осуществляться по собственной технологии предприятия-изготовителя полупроводниковых пластин или путём самостоятельной разработки и внедрения топологического элемента перемычки. Топология поликремниевой перемычки представлена на рисунке 1. Длина перемычки – 4 мкм, ширина 0,7 мкм.

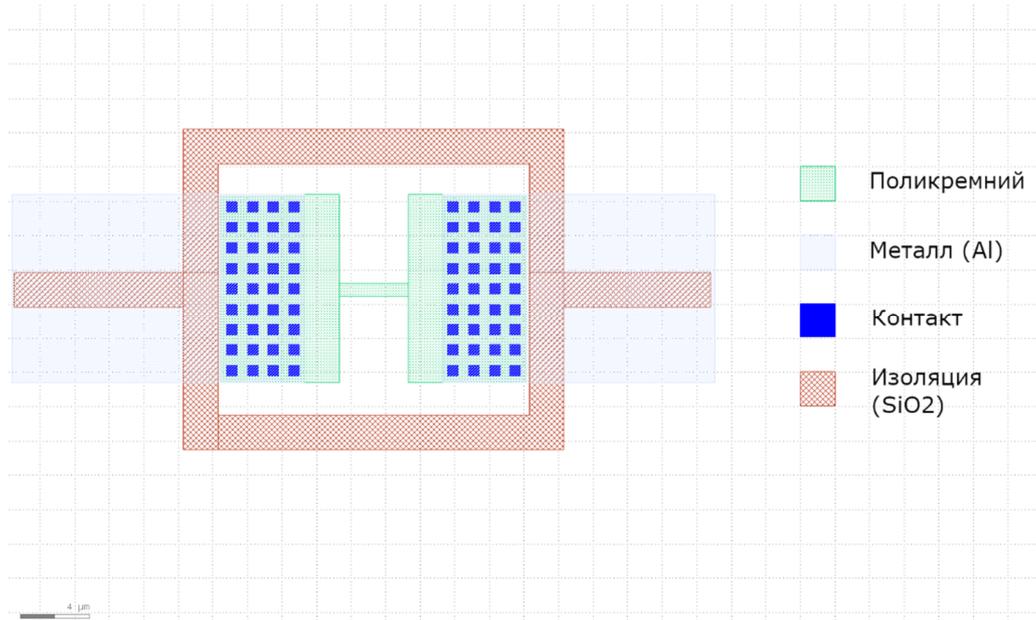


Рисунок 1 – Топология поликремниевой перемычки
Figure 1 – Polysilicon fuse layout

Исследование пережигаемых перемычек

Для экспериментального исследования технологии подгонки были произведены тестовые модули с блоками подгонки, показанными на рисунке 2, на которых был отработан режим пережигания перемычки и измерено их сопротивление. Микрофотографии перемычки до пережога и после показаны на рисунке 3, а и б соответственно.

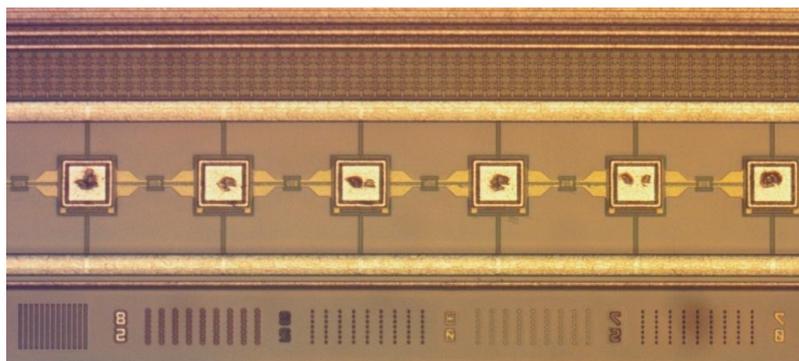
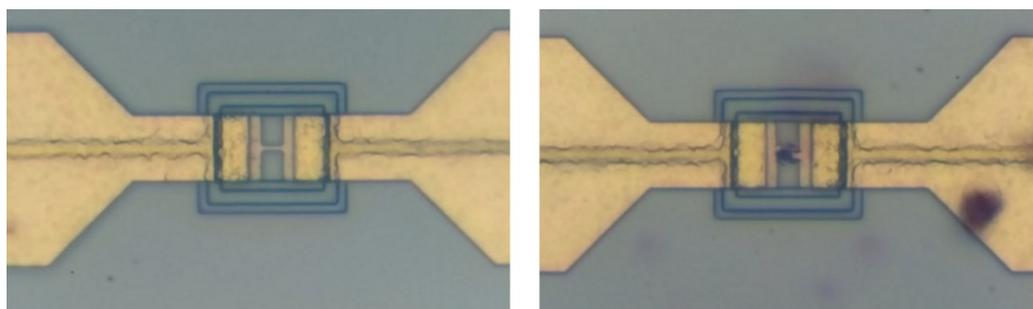


Рисунок 2 – Микрофотография исследуемого блока подгонки
Figure 2 – Investigated trimming block micrograph



а (a)

б (b)

Рисунок 3 – Микрофотография перемычки до пережога (а) и после пережога (б)
Figure 3 – Micrograph of fuse before trimming (a) and after (b)

Сопротивления перемычек были исследованы на двух тестовых пластинах, полученные результаты проанализированы и сведены в таблицу 1. Для измерения использовался источник-измеритель GSM-20Н10 [10].

Таблица 1 – Результаты исследования сопротивления перемычек при температуре 25 °С
Table 1 – Fuse resistance investigation results for 25 °С

	Пластина 1	Пластина 2
Количество исследованных перемычек, шт.	76	70
Среднее значение, Ом	102,73	101,83
Стандартное отклонение, Ом	5,02	3,98
Минимальное сопротивление, Ом	93,73	92,08
Максимальное сопротивление, Ом	117,20	112,58

Используемая для пережигания перемычек схема показана на рисунке 4.

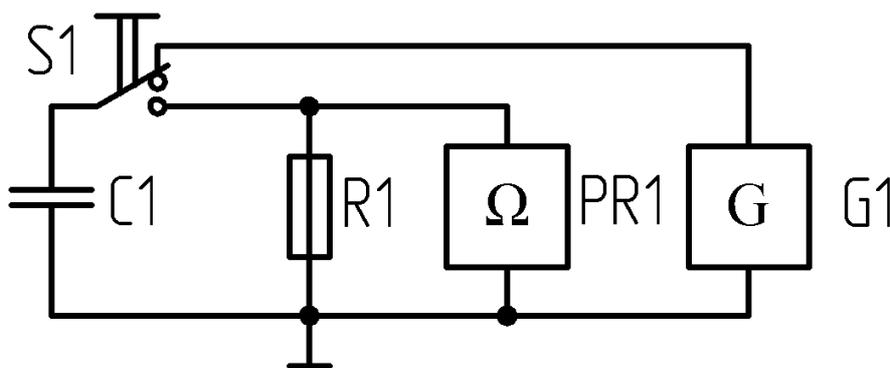


Рисунок 4 – Схема подгонки
Figure 4 – Trimming scheme

S1 – ключ, C1 – конденсатор, R1 – пережигаемая перемычка, PR1 – омметр, G1 – источник напряжения.

Схема подгонки работает следующим образом: в начале ключ разомкнут, источник G1 заряжает конденсатор C1 до нужного напряжения. Замыкание ключа приводит к разряду конденсатора на перемычку, что приводит к её пережиганию. Режим пережигания был установлен экспериментально, путём подбора напряжения и длительности импульса. Длительность импульса зависит от величины ёмкости C1. В ходе эксперимента контролировалось сопротивление опытной перемычки после пережигания. Полученные данные представлены в таблице 2.

Таблица 2 – Исследование режимов пережигания

Table 2 – Investigation of trimming regime

№	Напряжение, В	Ёмкость, нФ	Сопротивление после, Ом
1	4	39,0	112,0
2	4	39,0	106,0
3	4	39,0	112,0
4	4	61,5	92,0
5	4	61,5	104,0
6	4	61,5	98,0
7	4	67,8	82,0
8	4	67,8	76,0
9	4	67,8	90,2
10	4	100,0	64,7
11	4	100,0	72,0
12	4	100,0	65,3
13	5	39,0	53,0
14	5	39,0	53,9
15	5	39,0	52,5
16	5	61,5	47,0
17	5	61,5	48,0
18	5	61,5	51,0
19	5	67,8	>1e+9
20	5	67,8	47,0
21	5	67,8	>1e+9
22	5	100,0	>1e+9
23	5	100,0	>1e+9
24	5	100,0	>1e+9

Исходя из данных таблицы 2 видно, что напряжение 5 В и ёмкость конденсатора 100 нФ являются минимальными, так как позволяют стабильно пережечь перемычку.

Апробация разработанного метода подгонки

Апробация разработанного метода проведена в схеме источника опорного напряжения, путём моделирования схемы в SPICE-подобном симуляторе SymicaDE [11, 12]. Схема усилителя опорного напряжения с подгонкой в САПР SymicaDE показана на рисунке 5. Для подстройки выходного напряжения операционного усилителя используется подгоночная цепь из резисторов, выполненных по одной технологии и имеющих идентичную топологию для максимального совпадения параметров. Подгонка выходного напряжения осуществляется за счёт изменения сопротивления нижнего плеча делителя напряжения, схема которого проиллюстрирована на рисунке 6.

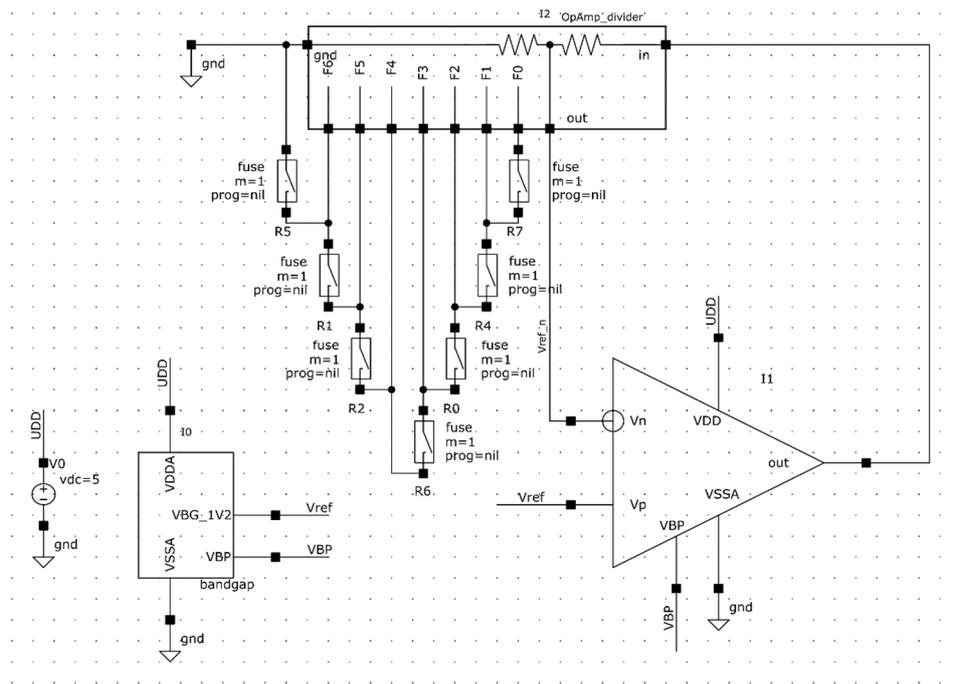


Рисунок 5 – Схема усилителя опорного напряжения с подгонкой в САПР SymicaDE
 Figure 5 – Voltage reference amplifier scheme in SymicaDE CAD

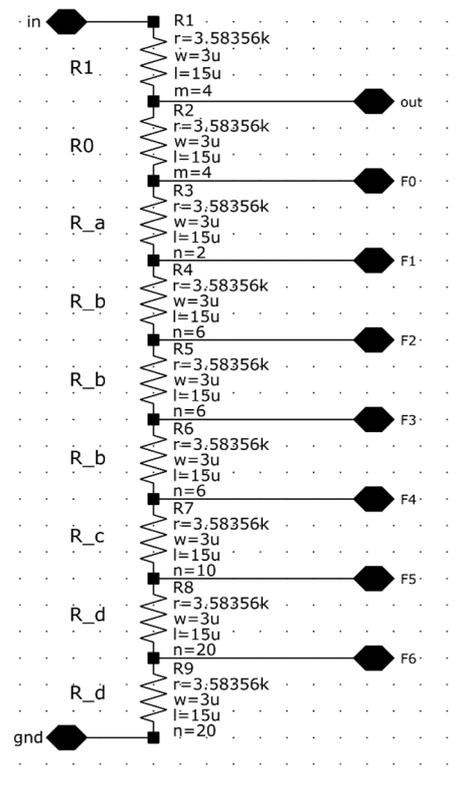


Рисунок 6 – Цепочки подгоночных резисторов в САПР SymicaDE
 Figure 6 – Trimming resistor nets in SymicaDE CAD

R_a, R_b, R_c, R_d – составные подгоночные резисторы. R_a состоит из 2, R_b из 6, R_c из 10, R_d из 20 параллельно включённых резисторов номиналом 3583,56 Ом. Все резисторы в цепочке выполнены по одной технологии и имеют идентичную топологию для максимального совпадения параметров. Параметры используемых составных подгоночных резисторов представлены в таблице 3.

Таблица 3 – Номиналы и количество подгоночных резисторов
Table 3 – Resistance and quantity of trimming resistors

	Номинал резистора, кОм	Число резисторов в схеме
R_a	1,792	1
R_b	0,597	3
R_c	0,358	1
R_d	0,179	2

Упрощённая схема усилителя показана на рисунке 7. Для того, чтобы получить нужное значение U_{ref} на выходе операционного усилителя, необходимо скорректировать значение сопротивления $R1_{opamp}$.

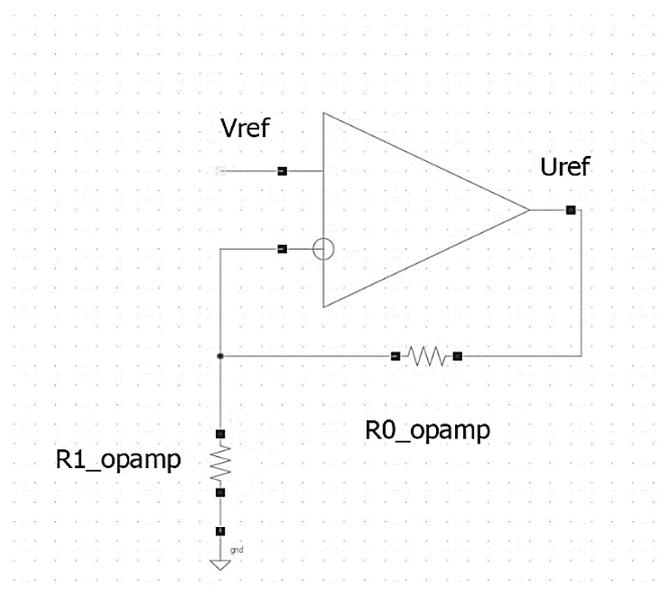


Рисунок 7 – Упрощённая схема усилителя
Figure 7 – Simplified amplifier scheme

Для расчёта опорного напряжения V_{ref} в схеме, использовалось следующее соотношение:

$$V_{ref_0} = \frac{(R1_{opamp} \times U_{ref_0})}{(R0_{opamp} + R1_{opamp})},$$

где U_{ref_0} – исходное значение выходного напряжения.

Для вычисления значения сопротивления, которое должно быть получено после подгонки, использовалось следующее выражение:

$$R1_{opamp_2} = \frac{(V_{ref_0} \times R0_{opamp})}{(U_{ref_{2_0}} - V_{ref_0})}.$$

Количество резисторов, которое необходимо добавить в схему, может быть вычислено путём составления системы уравнений. Сначала необходимо измерить исходное значение выходного напряжения U_{ref_0} , затем найти значение опорного напряжения V_{ref_0} и вычислить необходимое сопротивление после подгонки. Подгоночные сопротивления добавляются последовательно к $R1_{opamp}$ до тех пор, пока значение U_{ref_0} не приблизится к $U_{ref_{2_0}}$.

Для реализации вышеизложенного алгоритма была написана программа, выполняющая расчёты количества добавочных сопротивлений, необходимых для подгонки, интерфейс которой приведён на рисунке 8. В окне «Настройка» можно задать количество и сопротивление подгоночных резисторов, а также при необходимости добавить больше резисторов.

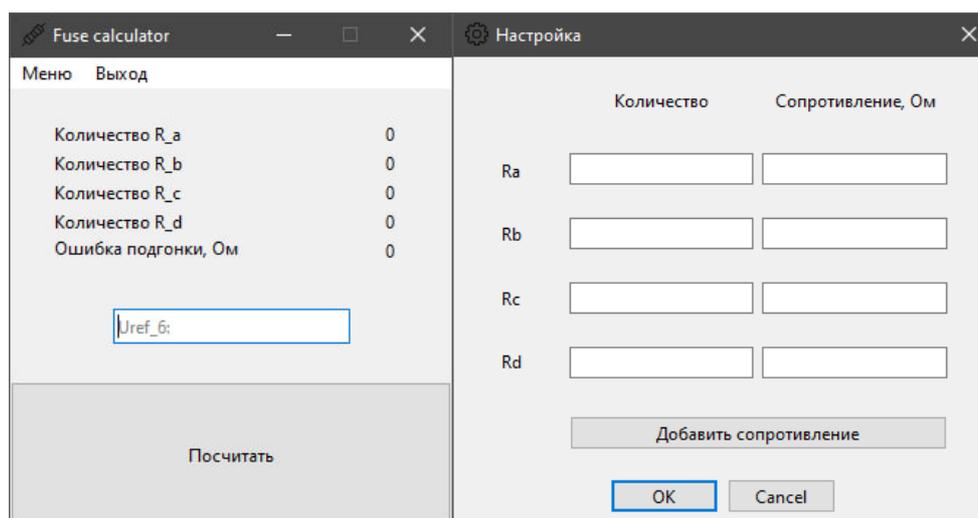


Рисунок 8 – Окна программы-калькулятора резисторов
Figure 8 – Resistors calculator program window

На рисунке 9 показан результат работы программы для исходных напряжений U_{ref_0} в диапазоне от 2,9 до 3,8 В с шагом 0,01 В. Для диапазона исходного напряжения U_{ref_0} от 3,10 до 3,50 В, диапазон напряжений после подгонки составляет от 2,985 до 3,015 В. Из рисунка видно, что выбранная конфигурация блока подгонки позволяет эффективно корректировать значение параметра U_{ref} , если его исходное значение лежит в диапазоне от 2,98 до 3,72 В.

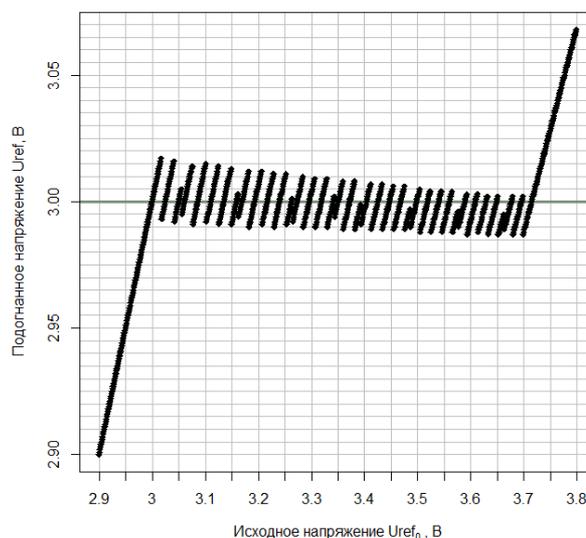


Рисунок 9 – Расчётное подогнанное напряжение для U_{ref_0} в диапазоне 2,90 – 3,80 В
Figure 9 – Calculated trimmed voltage for U_{ref_0} in voltage range 2,90 – 3,80 V

Результаты анализа методом Монте-Карло схемы усилителя (рисунок 5), полученные в ходе моделирования в САПР Symica DE [10], для исходного напряжения U_{ref_0} показаны на рисунке 10. Доверительный интервал 95 % для среднего: [3,332; 3,342]. Все полученные значения укладываются в расчётный диапазон подгонки системы.

Распределение напряжений U_{ref} после подгонки показано на рисунке 11.

Исходя из полученных гистограмм распределений, показанных на рисунках 10 - 11, видно, что для всех образцов удалось уменьшить разброс выходного напряжения, тем самым повысив процент выхода годных изделий. Недостаток метода заключается в увеличении площади кристалла, за счёт внедрения подгоночной цепи резисторов и дополнительных контактных площадок в топологию кристалла и в увеличении времени разбраковки кристалла.

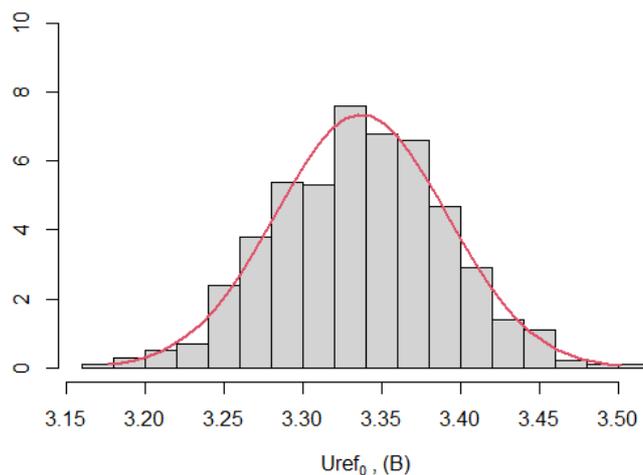


Рисунок 10 – Результаты моделирования U_{ref_0} методом Монте-Карло
Figure 10 – Modeling results of U_{ref_0} using Monte-Carlo method

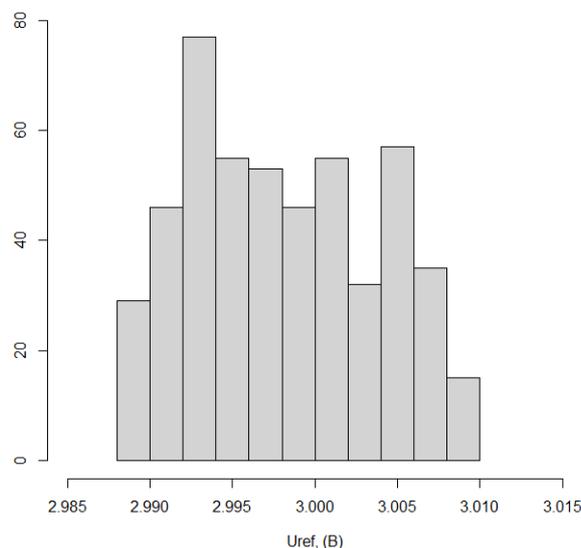


Рисунок 11 – Результаты моделирования напряжения U_{ref} после подгонки
Figure 11 – Simulation results of U_{ref} voltage after trimming

Заключение

В данной статье рассмотрены методы подгонки ИМС, позволяющие нивелировать технологические отклонения параметров элементов ИМС. Предложен метод электрической подгонки с использованием поликремниевых перемычек. Разработана практическая схема, в которой применяется подгонка. Исследованы распределения, полученные при моделировании в САПР Symica DE. Преимуществом метода является применимость метода для стандартного техпроцесса без внедрения дополнительных операций. Недостатком метода является увеличение площади кристалла за счёт создания дополнительных элементов топологии и увеличение времени разбраковки кристалла.

Библиографический список

1. **Sheikholeslami A.** Process Variation and Pelgrom's Law [Circuit Intuitions] // Solid-State Circuits Magazine, IEEE. 2015. Vol. 7. P. 8-9.
2. **Andreev D.V., Maslovsky V.M., Andreev V.V., Stolyarov A.A.** Modified Ramped Current Stress Technique for Monitoring Thin Dielectrics Reliability and Charge Degradation // Phys. Status Solidi A. 2022. Vol. 219. No. 9. P. 2100400.

3. **Birkett M., Penlington R.** Laser Trim Pattern Optimization for CuAlMo Thin-Film Resistors // IEEE Transactions on Components, Packaging and Manufacturing Technology. 2013. Vol. 3, No. 3. P. 523-529.
4. **Андреев Д.В., Лутовин Е.А.** Исследование деградационных процессов в ИС операционных усилителей при подгонке тонкопленочных резисторов // Электронный журнал: наука, техника и образование. 2019. Т. 23. С. 119-125.
5. **Alafogianni M., Birkett M.** Resistor trimming geometry; past, present and future // IOP Conference Series: Materials Science and Engineering. 2016. Vol. 104. P. 012002.
6. **Feldbaumer D.W., Babcock J.A., Mercier V.M., Chun C.K.Y.** Pulse current trimming of polysilicon resistors // IEEE Transactions on Electron Devices. 1995. Vol. 42, No. 4. P. 689-696.
7. **Xiao J., Mehr I., Silva-Martinez J.** A High Dynamic Range CMOS Variable Gain Amplifier for Mobile DTV Tuner // IEEE Journal of Solid-State Circuits. 2007. Vol. 42, No. 2. P. 292-301.
8. **Xiaokang G., Xin W., Albert W., Bin Z.** A 3 V 110 μ W 3.1 ppm/ $^{\circ}$ C curvature-compensated CMOS bandgap reference // Analog Integrated Circuits and Signal Processing. 2010. Vol. 62. P. 113-119.
9. **Yu-Hsing C., Kendrick C.** Failure Analysis and Optimization of Metal Fuses for Post Package Trimming // Annual Proceedings – Reliability Physics (Symposium). 2007. pp. 616-617.
10. Programmable High Precision DC meter GSM-20H10 [Электронный ресурс] URL: <https://www.gwinstek.com/en-US/products/downloadSeriesDownNew/21124/2190> (дата обращения: 28.03.2023).
11. **Рыжов С.В., Андреев В.В., Ахмелкин Д.М., Романов М.В.** Конвертирование параметров моделей МОП транзисторов для симуляторов электронных схем // Вестник Рязанского государственного радиотехнического университета. 2020. № 71. С. 234-243.
12. САПР интегральных схем Симики [Электронный ресурс] URL: <https://symica.ru/index.html> (дата обращения: 01.04.2023).

UDC 621.382

ELECTRICAL IC TRIMMING METHOD USING POLYSILICON FUSES

M. K. Burukhin, Engineer, JSC «OKB MEL», Kaluga, Russia;
orcid.org/0009-0002-9707-5406, e-mail: maxburuxin@gmail.com
S. V. Ryzhov, Engineer, JSC «OKB MEL», Kaluga, Russia;
orcid.org/0000-0001-5330-2537, e-mail: sergey.righov@gmail.com
D. V. Andreev, Kaluga Branch of BMSTU, Kaluga, Russia;
orcid.org/0000-0001-9080-1028, e-mail: dmitrii_andreev@bmstu.ru
M. V. Romanov, Head of Department, JSC «OKB MEL», Kaluga, Russia;
orcid.org/0000-0003-1898-5939, e-mail: romanov_mv@okbmel.ru

*This article provides a detailed overview of the method of trimming integrated circuits (ICs) using polysilicon fuse jumpers. **The aim is to develop** and apply a modified trimming method using burnt-out jumpers in reference voltage amplifier circuit. The use of trim to achieve the required reference voltage in op-amp circuit is investigated and the corresponding calculations are presented. As part of the study, experimental tests were carried out with test modules, on which the jumper burnout mode was worked out and their resistance was measured. The results of the study confirmed the effectiveness of applying polysilicon burn-out jumpers in trimming process. To facilitate calculations and analysis, a special calculator application has been developed. In addition, the results of modeling the trimming process for different initial values of parameters using Monte Carlo method are presented. The obtained results confirm the efficiency of the method proposed and its applicability in practice.*

Keywords: technological variation of parameters, IC trimming, polysilicon fuses, Symica DE.

DOI: 10.21667/1995-4565-2023-86-186-195

References

1. **Sheikholeslami A.** Process Variation and Pelgrom's Law [Circuit Intuitions]. *Solid-State Circuits Magazine, IEEE*, Vol. 7, 2015. pp. 8-9.
2. **Andreev D.V., Maslovsky V.M., Andreev V.V., Stolyarov A.A.** Modified Ramped Current Stress Technique for Monitoring Thin Dielectrics Reliability and Charge Degradation. *Phys. Status Solidi A*. 2022, vol. 219, no. 9, pp. 2100400.
3. **Birkett M., Penlington R.** Laser Trim Pattern Optimization for CuAlMo Thin-Film Resistors. *IEEE Transactions on Components, Packaging and Manufacturing Technology*. 2013, vol. 3, no. 3, pp. 523-529.
4. **Andreev D.V., Lutovin E.A.** Issledovanie degradacionnyh processov v IS operacionnyh usilitelej pri podgonke tonkoplenochnyh rezistorov. *Jelektronnyj zhurnal: nauka, tehnika i obrazovanie*. 2019, vol. 23, pp. 119-125. (in Russian).
5. **Alafogianni M., Birkett M.** Resistor trimming geometry; past, present and future. *IOP Conference Series: Materials Science and Engineering*. 2016, vol. 104, pp. 012002.
6. **Feldbaumer D.W., Babcock J.A., Mercier V.M., Chun C.K.Y.** Pulse current trimming of polysilicon resistors. *IEEE Transactions on Electron Devices*. 1995, vol. 42, no. 4, pp. 689-696.
7. **Xiao J., Mehr I., Silva-Martinez J.** A High Dynamic Range CMOS Variable Gain Amplifier for Mobile DTV Tuner. *IEEE Journal of Solid-State Circuits*. 2007, vol. 42, no. 2, pp. 292-301.
8. **Xiaokang G., Xin W., Albert W., Bin Z.** A 3 V 110 μ W 3.1 ppm/ $^{\circ}$ C curvature-compensated CMOS bandgap reference. *Analog Integrated Circuits and Signal Processing*. 2010, vol. 62, pp. 113-119.
9. **Yu-Hsing C., Kendrick C.** Failure Analysis and Optimization of Metal Fuses for Post Package Trimming. *Annual Proceedings – Reliability Physics (Symposium)*. 2007. pp. 616-617.
10. Programmable High Precision DC meter GSM-20H10 URL: <https://www.gwinstek.com/en-US/products/downloadSeriesDownNew/21124/2190>.
11. **Ryzhov S.V., Andreev V.V., Ahmelkin D.M., Romanov M.V.** Conversion of MOS transistors model for SPICE simulators. *Vestnik Rjazanskogo gosudarstvennogo radiotekhnicheskogo universiteta*. 2020, no. 71, pp. 234-243. (in Russian).
12. Symica custom IC design toolkit URL: <https://symica.com/index.html>.